

PCT/JP 2004/018105

01. 2. 2005

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 2 月    2 日  
Date of Application:

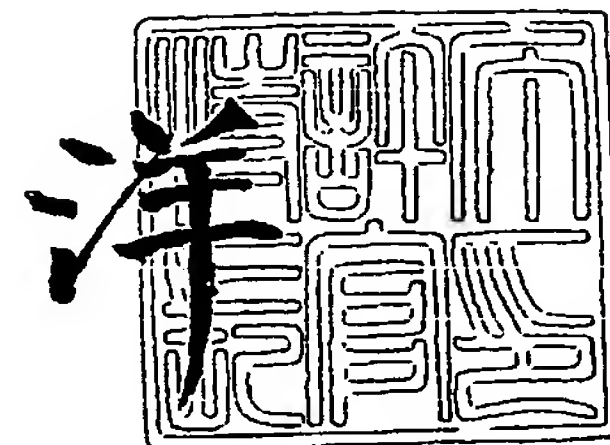
出 願 番 号            特 願 2 0 0 3 - 4 0 3 6 6 6  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 4 0 3 6 6 6 ]

出 願 人            株式会社半導体エネルギー研究所  
Applicant(s):

2 0 0 5 年    3 月    9 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号    出証特 2 0 0 5 - 3 0 1 9 9 1 4

【書類名】 特許願  
【整理番号】 P007530  
【提出日】 平成15年12月 2日  
【あて先】 特許庁長官 殿  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究  
所内  
【氏名】 山崎 舜平  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究  
所内  
【氏名】 前川 慎志  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究  
所内  
【氏名】 神野 洋平  
【特許出願人】  
【識別番号】 000153878  
【氏名又は名称】 株式会社半導体エネルギー研究所  
【代表者】 山崎 舜平  
【手数料の表示】  
【予納台帳番号】 002543  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

## 【書類名】 特許請求の範囲

## 【請求項 1】

第 1 の絶縁膜に嵌設するように設けられた導電膜と、  
前記第 1 の絶縁膜及び前記導電膜を覆って設けられた第 2 の絶縁膜と、  
前記第 2 の絶縁膜上に設けられた半導体膜とを有する薄膜トランジスタであって、  
前記絶縁膜と、前記導電膜とは略同一平面を有していることを特徴とする薄膜トランジスタ。

## 【請求項 2】

絶縁膜に嵌設するように設けられたゲート電極と、  
前記絶縁膜及び前記ゲート電極を覆って設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた半導体膜とを有する薄膜トランジスタであって、  
前記絶縁膜と、前記ゲート電極とは略同一平面を有していることを特徴とする薄膜トランジスタ。

## 【請求項 3】

第 1 の絶縁膜に嵌設するように設けられたソース電極及びドレイン電極と、  
前記絶縁膜、前記ソース電極及び前記ドレイン電極を覆って設けられた第 2 の絶縁膜と、  
前記第 2 の絶縁膜上に設けられた半導体膜とを有する薄膜トランジスタであって、  
前記絶縁膜と、前記ソース電極及び前記ドレイン電極とは略同一平面を有していることを特徴とする薄膜トランジスタ。

## 【請求項 4】

凹部及び凸部を有する絶縁膜と、  
前記凹部及び前記凸部の間に設けられたゲート電極と、  
前記絶縁膜及び前記ゲート電極を覆って設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた半導体膜とを有する薄膜トランジスタであって、  
前記ゲート電極の高さは、前記凸部の高さと揃っていることを特徴とする薄膜トランジスタ。

## 【請求項 5】

凹部及び凸部を有する絶縁膜と、  
前記凹部及び前記凸部の間に設けられたゲート電極と、  
前記絶縁膜及び前記ゲート電極を覆って設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた半導体膜とを有する薄膜トランジスタであって、  
前記ゲート電極の高さは、前記凸部の高さと揃っており、  
前記ゲート絶縁膜の端部は、前記半導体膜の端部を越えないように設けられることを特徴とする薄膜トランジスタ。

## 【請求項 6】

請求項 1 乃至 5 のいずれか一において、  
前記半導体膜のチャネル形成領域上に絶縁膜が設けられていることを特徴とする薄膜トランジスタ。

## 【請求項 7】

凹部及び凸部を有する第 1 の絶縁膜と、  
前記凹部及び前記凸部の間に設けられたソース電極及びドレイン電極と、  
前記第 1 の絶縁膜及び前記ソース電極及びドレイン電極を覆って設けられた第 2 の絶縁膜と、  
前記第 2 の絶縁膜上に設けられた半導体膜とを有する薄膜トランジスタであって、  
前記ソース電極及びドレイン電極の高さは、前記凸部の高さと揃っていることを特徴とする薄膜トランジスタ。

## 【請求項 8】

請求項 4 乃至 7 のいずれか一において、  
前記凹部と前記凸部との間隔は  $5\ \mu\text{m} \sim 100\ \mu\text{m}$  であって、前記凹部と前記凸部との高低差は、 $1\ \mu\text{m} \sim 10\ \mu\text{m}$  であることを特徴とする薄膜トランジスタ。

**【請求項 9】**

請求項 7 乃至 6 のいずれか一において、  
前記ゲート電極を形成する領域における、前記凹部と前記凸部との間隔は  $5\mu\text{m} \sim 20\mu\text{m}$  であって、前記凹部と前記凸部との高低差は  $1.5\mu\text{m} \sim 2.5\mu\text{m}$  であることを特徴とする薄膜トランジスタ。

**【請求項 10】**

請求項 4 において、  
前記ソース電極及びドレイン電極を形成する領域における、前記凹部と前記凸部との間隔は  $10\mu\text{m} \sim 40\mu\text{m}$  であって、前記凹部と前記凸部との高低差は  $1.5\mu\text{m} \sim 2.5\mu\text{m}$  であることを特徴とする薄膜トランジスタ。

**【請求項 11】**

請求項 1 乃至 10 のいずれか一において、  
前記半導体膜は、水素またはハロゲンが添加された半導体であることを特徴とする薄膜トランジスタ。

**【請求項 12】**

凹部及び凸部を有する絶縁膜と、  
前記凹部及び前記凸部の間に設けられた第 1 及び第 2 のゲート電極と、  
前記絶縁膜及び前記第 1 及び第 2 のゲート電極を覆って設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた第 1 及び第 2 の半導体膜と、  
前記第 1 及び第 2 の半導体膜上にそれぞれ設けられた第 1 及び第 2 のソース電極及びドレイン電極とを有する第 1 及び第 2 の薄膜トランジスタを具備し、  
前記第 2 の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続する第 1 の電極と、  
前記第 1 の電極の端部を覆うように設けられた第 2 の絶縁膜と、  
前記第 2 の絶縁膜間に設けられた電界発光層と、  
前記電界発光層を覆うように設けられた第 2 の電極とを有する表示装置であって、  
前記第 1 の半導体膜上に形成されたソース電極又はドレイン電極と、前記第 2 のゲート電極とが接続されていることを特徴とする表示装置。

**【請求項 13】**

凹部及び凸部を有する絶縁膜と、  
前記凹部及び前記凸部の間に設けられた第 1 及び第 2 のゲート電極と、  
前記絶縁膜及び前記第 1 及び第 2 のゲート電極を覆って設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた第 1 及び第 2 の半導体膜と、  
前記第 1 及び第 2 の半導体膜上にそれぞれ設けられた第 1 及び第 2 のソース電極及びドレイン電極とを有する第 1 及び第 2 の薄膜トランジスタを具備し、  
前記第 2 の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続する第 1 の電極と、  
前記第 1 の電極の端部を覆うように設けられた第 2 の絶縁膜と、  
前記第 2 の絶縁膜間に設けられた電界発光層と、  
前記電界発光層を覆うように設けられた第 2 の電極とを有する表示装置であって、  
前記ソース電極及びドレイン電極を用いて前記ゲート絶縁膜をエッチングし、  
エッチングされた前記ゲート絶縁膜の開口部に設けられた導電膜により、前記第 1 の半導体膜上に形成されたソース電極又はドレイン電極と、前記第 2 のゲート電極とが接続されていることを特徴とする表示装置。

**【請求項 14】**

凹部及び凸部を有する絶縁膜と、  
前記凹部及び前記凸部の間に設けられた第 1 及び第 2 のゲート電極と、  
前記絶縁膜及び前記第 1 及び第 2 のゲート電極を覆って設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた第 1 及び第 2 の半導体膜と、  
前記第 1 及び第 2 の半導体膜上にそれぞれ設けられた第 1 及び第 2 のソース電極及びドレ



イン電極とを有する第1及び第2の薄膜トランジスタを具備し、  
前記第2の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続する第1の電極と、  
前記第1の電極の端部を覆うように設けられた第2の絶縁膜と、  
前記第2の絶縁膜間に設けられた電界発光層と、  
前記電界発光層を覆うように設けられた第2の電極とを有する表示装置であって、  
前記第2のゲート電極により、前記第1のソース電極又はドレイン電極と、前記第2のゲート電極とが接続されていることを特徴とする表示装置。

【請求項15】

請求項12乃至14のいずれか一において、  
前記電界発光層下方であって、前記絶縁膜間にカラーフィルターが設けられていることを特徴とする表示装置。

【請求項16】

凹部及び凸部を有する絶縁膜と、  
前記凹部及び前記凸部の間に設けられた第1及び第2のゲート電極と、  
前記絶縁膜及び前記第1及び第2のゲート電極を覆って設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた第1及び第2の半導体膜と、  
前記第1及び第2の半導体膜上にそれぞれ設けられた第1及び第2のソース電極及びドレイン電極とを有する第1及び第2の薄膜トランジスタを具備し、  
前記第2の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続する第1の電極と、  
前記第1の電極の端部を覆うように設けられた第2の絶縁膜と、  
前記第2の絶縁膜間に設けられた電界発光層と、  
前記電界発光層を覆うように設けられた第2の電極とを有するテレビジョン装置であって、  
前記第1の半導体膜上に形成されたソース電極又はドレイン電極と、前記第2のゲート電極とが接続されおり、  
前記第1の電極又は前記第2の電極上方に設けられた偏光板、偏光板及び波長板を有することを特徴とするテレビジョン装置。

【請求項17】

凹部及び凸部を有する絶縁膜と、  
前記凹部及び前記凸部の間に設けられた第1及び第2のゲート電極と、  
前記絶縁膜及び前記第1及び第2のゲート電極を覆って設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた第1及び第2の半導体膜と、  
前記第1及び第2の半導体膜上にそれぞれ設けられた第1及び第2のソース電極及びドレイン電極とを有する第1及び第2の薄膜トランジスタを具備し、  
前記第2の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続する第1の電極と、  
前記第1の電極の端部を覆うように設けられた第2の絶縁膜と、  
前記第2の絶縁膜間に設けられた電界発光層と、  
前記電界発光層を覆うように設けられた第2の電極とを有するテレビジョン装置であって、  
前記ソース電極及びドレイン電極を用いて前記ゲート絶縁膜をエッチングし、  
エッチングされた前記ゲート絶縁膜の開口部に設けられた導電膜により、前記第1の半導体膜上に形成されたソース電極又はドレイン電極と、前記第2のゲート電極とが接続されており、  
前記第1の電極又は前記第2の電極上方に設けられた偏光板、偏光板及び波長板を有することを特徴とするテレビジョン装置。

【請求項18】

凹部及び凸部を有する絶縁膜と、

前記凹部及び前記凸部の間に設けられた第1及び第2のゲート電極と、  
前記絶縁膜及び前記第1及び第2のゲート電極を覆って設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた第1及び第2の半導体膜と、  
前記第1及び第2の半導体膜上にそれぞれ設けられた第1及び第2のソース電極及びドレイン電極とを有する第1及び第2の薄膜トランジスタを具備し、  
前記第2の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続する第1の電極と、  
前記第1の電極の端部を覆うように設けられた第2の絶縁膜と、  
前記第2の絶縁膜間に設けられた電界発光層と、  
前記電界発光層を覆うように設けられた第2の電極とを有する表示装置であって、  
前記第2のゲート電極により、前記第1のソース電極又はドレイン電極と、前記第2のゲート電極とが接続されており、  
前記第1の電極又は前記第2の電極上方に設けられた偏光板、偏光板及び波長板を有することを特徴とするテレビジョン装置。

【請求項19】

請求項16乃至18のいずれか一において、  
前記波長板は、第1の電極又は前記第2の電極から  $1/4\lambda$  板、 $1/2\lambda$  板の順に設けられていることを特徴とするテレビジョン装置。

【請求項20】

凹部及び凸部を有する絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に導電膜を形成し、  
前記第1の絶縁膜及び前記導電膜を覆って第2の絶縁膜を形成し、  
前記第2の絶縁膜上に半導体膜を形成する薄膜トランジスタの作製方法であって、  
前記第1の絶縁膜及び前記導電膜の表面が平坦となるように形成することを特徴とする薄膜トランジスタの作製方法。

【請求項21】

凹部及び凸部を有する絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に導電膜を形成し、  
前記第1の絶縁膜及び前記導電膜を覆って第2の絶縁膜を形成し、  
前記第2の絶縁膜上に半導体膜を形成し、  
前記第2の絶縁膜及び前記半導体膜を同時にパターンニングする薄膜トランジスタの作製方法であって、  
前記第1の絶縁膜及び前記導電膜の表面が平坦となるように形成することを特徴とする薄膜トランジスタの作製方法。

【請求項22】

凹部及び凸部を有する絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に導電膜を形成し、  
前記第1の絶縁膜及び前記導電膜を覆って第2の絶縁膜を形成し、  
前記第2の絶縁膜上に半導体膜を形成し、  
前記第2の絶縁膜及び前記半導体膜を同時にパターンニングする薄膜トランジスタの作製方法であって、  
前記第1の絶縁膜及び前記導電膜の表面が平坦となるように形成し、  
前記第2の絶縁膜の端部は、前記半導体膜の端部を越えないように設けられていることを特徴とする薄膜トランジスタの作製方法。

【請求項23】

請求項20乃至22のいずれか一において、  
前記凹部に、導電膜材料が混入された組成物を噴出することにより前記導電膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項24】

請求項20乃至22のいずれか一において、

絶縁膜材料が混入された組成物を噴出し、同時に導電膜材料が混入された組成物を噴出することによって、前記凹部及び凸部を有する絶縁膜、及び前記凹部に導電膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 25】

請求項 20 乃至 22 のいずれか一において、  
絶縁膜材料が混入された組成物を噴出し、凹部及び凸部を有する絶縁膜を形成し、  
前記凹部に導電膜材料が混入された組成物を噴出することによって、前記導電膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 26】

請求項 25 において、  
絶縁膜材料が混入された組成物を噴出し、凹部及び凸部を有する絶縁膜を形成し、  
前記絶縁膜を加熱し、  
前記凹部に導電膜材料が混入された組成物を噴出することによって、前記導電膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 27】

請求項 20 乃至 26 のいずれか一において、  
前記半導体膜のチャネル形成領域上に絶縁膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 28】

凹部及び凸部を有する絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に第 1 及び第 2 のゲート電極を形成し、  
前記絶縁膜、前記第 1 及び第 2 のゲート電極を覆ってゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に第 1 及び第 2 の半導体膜を形成し、  
前記ゲート絶縁膜、前記第 1 及び第 2 の半導体膜を同時にパターンニングし、  
前記第 1 及び第 2 の半導体膜上にそれぞれソース電極及びドレイン電極を形成する薄膜トランジスタの作製方法であって、  
前記第 1 の半導体膜上に形成されたソース電極又はドレイン電極と、前記第 2 のゲート電極とを接続し、  
前記絶縁膜の高さと、前記ゲート電極の高さは揃っていることを特徴とする薄膜トランジスタの作製方法。

【請求項 29】

凹部及び凸部を有する絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に第 1 及び第 2 のゲート電極を形成し、  
前記絶縁膜、前記第 1 及び第 2 のゲート電極を覆ってゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に第 1 及び第 2 の半導体膜を形成し、  
前記第 1 及び第 2 の半導体膜をパターンニングし、  
前記第 1 及び第 2 の半導体膜上に、それぞれソース電極及びドレイン電極を形成し、  
前記ソース電極及びドレイン電極を用いて前記ゲート絶縁膜をエッチングする薄膜トランジスタの作製方法であって、  
エッチングされた前記ゲート絶縁膜の開口部に導電膜を形成することにより、前記第 1 の半導体膜上に形成されたソース電極又はドレイン電極と、前記第 2 のゲート電極とを接続し、  
前記絶縁膜の高さと、前記ゲート電極の高さは揃っていることを特徴とする薄膜トランジスタの作製方法。

【請求項 30】

凹部及び凸部を有する第 1 の絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部にソース電極及びドレイン電極を形成し、



前記第 1 の絶縁膜、前記ソース電極及びドレイン電極を覆って第 2 の絶縁膜を形成し、  
前記第 2 の絶縁膜上に半導体膜を形成し、  
前記半導体膜上にゲート絶縁膜を介してゲート電極を形成する薄膜トランジスタの作製方法であって、  
前記第 1 の絶縁膜の高さと、前記ソース電極及びドレイン電極の高さは揃っていることを特徴とする薄膜トランジスタの作製方法。

【請求項 3 1】

請求項 2 0 乃至 3 0 のいずれか一において、  
前記凹部と前記凸部との間隔が  $5\ \mu\text{m} \sim 100\ \mu\text{m}$  であって、前記凹部と前記凸部との高低差が  $1\ \mu\text{m} \sim 10\ \mu\text{m}$  となるように前記凹部及び凸部を有する絶縁膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 3 2】

請求項 2 8 乃至 3 1 のいずれか一において、  
前記ゲート電極を形成する領域における、前記凹部と前記凸部との間隔が  $5\ \mu\text{m} \sim 20\ \mu\text{m}$  であって、前記凹部と前記凸部との高低差が  $1.5\ \mu\text{m} \sim 2.5\ \mu\text{m}$  となるように前記凹部及び凸部を有する絶縁膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 3 3】

請求項 3 0 又は 3 1 において、  
前記ソース電極及びドレイン電極を形成する領域における、前記凹部と前記凸部との間隔が  $10\ \mu\text{m} \sim 40\ \mu\text{m}$  であって、前記凹部と前記凸部との高低差が  $1.5\ \mu\text{m} \sim 2.5\ \mu\text{m}$  となるように前記凹部及び凸部を有する絶縁膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 3 4】

請求項 2 0 乃至 3 3 のいずれか一において、  
導電膜材料を有する液滴を噴出する液滴量は、 $0.1\ \text{pl} \sim 40\ \text{pl}$  とすることを特徴とする薄膜トランジスタの作製方法。

【請求項 3 5】

凹部及び凸部を有する絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に第 1 及び第 2 のゲート電極を形成し、  
前記絶縁膜、前記第 1 及び第 2 のゲート電極を覆ってゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に第 1 及び第 2 の半導体膜を形成し、  
前記ゲート絶縁膜、前記第 1 及び第 2 の半導体膜を同時にパターンニングし、  
前記第 1 及び第 2 の半導体膜上にそれぞれソース電極及びドレイン電極を形成することにより第 1 及び第 2 の薄膜トランジスタを形成し、  
前記第 1 の半導体膜上に形成されたソース電極又はドレイン電極と、前記第 2 のゲート電極とを接続し、  
前記第 2 の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続するように第 1 の電極を形成し、  
前記第 1 の電極の端部を覆うように第 2 の絶縁膜を形成し、  
前記第 2 の絶縁膜間に電界発光層を形成し、  
前記電界発光層を覆うように第 2 の電極を形成することを特徴とする表示装置の作製方法。

【請求項 3 6】

凹部及び凸部を有する絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に第 1 及び第 2 のゲート電極を形成し、  
前記絶縁膜、前記第 1 及び第 2 のゲート電極を覆ってゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に第 1 及び第 2 の半導体膜を形成し、  
前記第 1 及び第 2 の半導体膜をパターンニングし、

前記第 1 及び第 2 の半導体膜上に、それぞれソース電極及びドレイン電極を形成することにより第 1 及び第 2 の薄膜トランジスタを形成し、  
前記ソース電極及びドレイン電極を用いて前記ゲート絶縁膜をエッチングし、  
エッチングされた前記ゲート絶縁膜の開口部に導電膜を形成することにより、前記第 1 の半導体膜上に形成されたソース電極又はドレイン電極と、前記第 2 のゲート電極とを接続し、  
前記第 2 の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続するように第 1 の電極を形成し、  
前記第 1 の電極の端部を覆うように第 2 の絶縁膜を形成し、  
前記第 2 の絶縁膜間に電界発光層を形成し、  
前記電界発光層を覆うように第 2 の電極を形成すること  
ことを特徴とする表示装置の作製方法。

【請求項 37】

凹部及び凸部を有する第 1 の絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に第 1 及び第 2 のソース電極及びドレイン電極を形成し、  
前記第 1 の絶縁膜、前記第 1 及び第 2 のソース電極及びドレイン電極を覆って第 2 の絶縁膜を形成し、  
前記第 2 の絶縁膜上に第 1 及び第 2 の半導体膜を形成し、  
前記第 1 及び第 2 の半導体膜をパターンニングし、  
前記第 1 及び第 2 の半導体膜上に、ゲート絶縁膜を介してそれぞれ第 1 及び第 2 のゲート電極を形成することにより第 1 及び第 2 の薄膜トランジスタを形成し、  
前記第 2 ゲート電極により、前記第 1 のソース電極又はドレイン電極と、前記第 2 のゲート電極とを接続し、  
前記第 2 の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続するように第 1 の電極を形成し、  
前記第 1 の電極の端部を覆うように第 2 の絶縁膜を形成し、  
前記第 2 の絶縁膜間に電界発光層を形成し、  
前記電界発光層を覆うように第 2 の電極を形成すること  
ことを特徴とする表示装置の作製方法。

【請求項 38】

請求項 35 乃至 37 のいずれか一において、  
前記電界発光層下方であって、前記絶縁膜間にカラーフィルターを形成することを特徴とする表示装置の作製方法。

【請求項 39】

請求項 35 乃至 38 のいずれか一において、  
前記第 2 の薄膜トランジスタを覆って絶縁膜及び導電膜を形成し、  
前記導電膜により前記第 2 の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と前記第 1 の電極とを接続することを特徴とする表示装置の作製方法。

【請求項 40】

請求項 35 乃至 38 のいずれか一において、  
前記第 1 及び第 2 の薄膜トランジスタを覆って絶縁膜及び導電膜を形成し、  
前記導電膜は前記第 1 及び第 2 の薄膜トランジスタが有するソース電極及びドレイン電極上に形成することを特徴とする表示装置の作製方法。

【請求項 41】

凹部及び凸部を有する絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に第 1 及び第 2 のゲート電極を形成し、  
前記絶縁膜、前記第 1 及び第 2 のゲート電極を覆ってゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に第 1 及び第 2 の半導体膜を形成し、



前記ゲート絶縁膜、前記第1及び第2の半導体膜を同時にパターンニングし、  
前記第1及び第2の半導体膜上にそれぞれソース電極及びドレイン電極を形成することにより第1及び第2の薄膜トランジスタを形成し、  
前記第1の半導体膜上に形成されたソース電極又はドレイン電極と、前記第2のゲート電極とを接続し、  
前記第2の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続するように第1の電極を形成し、  
前記第1の電極の端部を覆うように第2の絶縁膜を形成し、  
前記第2の絶縁膜間に電界発光層を形成し、  
前記電界発光層を覆うように第2の電極を形成し、  
前記第1の電極又は前記第2の電極上方に偏光板、偏光板及び波長板を形成することを特徴とするテレビジョン装置の作製方法。

【請求項42】

凹部及び凸部を有する絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に第1及び第2のゲート電極を形成し、  
前記絶縁膜、前記第1及び第2のゲート電極を覆ってゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に第1及び第2の半導体膜を形成し、  
前記第1及び第2の半導体膜をパターンニングし、  
前記第1及び第2の半導体膜上に、それぞれソース電極及びドレイン電極を形成することにより第1及び第2の薄膜トランジスタを形成し、  
前記ソース電極及びドレイン電極を用いて前記ゲート絶縁膜をエッチングし、  
エッチングされた前記ゲート絶縁膜の開口部に導電膜を形成することにより、前記第1の半導体膜上に形成されたソース電極又はドレイン電極と、前記第2のゲート電極とを接続し、  
前記第2の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続するように第1の電極を形成し、  
前記第1の電極の端部を覆うように第2の絶縁膜を形成し、  
前記第2の絶縁膜間に電界発光層を形成し、  
前記電界発光層を覆うように第2の電極を形成し、  
前記第1の電極又は前記第2の電極上方に偏光板、偏光板及び波長板を形成することを特徴とするテレビジョン装置の作製方法。

【請求項43】

凹部及び凸部を有する第1の絶縁膜を形成し、  
導電膜材料を有する液滴を噴出することにより、前記凹部に第1及び第2のソース電極及びドレイン電極を形成し、  
前記第1の絶縁膜、前記第1及び第2のソース電極及びドレイン電極を覆って第2の絶縁膜を形成し、  
前記第2の絶縁膜上に第1及び第2の半導体膜を形成し、  
前記第1及び第2の半導体膜をパターンニングし、  
前記第1及び第2の半導体膜上に、ゲート絶縁膜を介してそれぞれ第1及び第2のゲート電極を形成することにより第1及び第2の薄膜トランジスタを形成し、  
前記第2ゲート電極により、前記第1のソース電極又はドレイン電極と、前記第2のゲート電極とを接続し、  
前記第2の薄膜トランジスタの前記ソース電極又は前記ドレイン電極と接続するように第1の電極を形成し、  
前記第1の電極の端部を覆うように第2の絶縁膜を形成し、  
前記第2の絶縁膜間に電界発光層を形成し、  
前記電界発光層を覆うように第2の電極を形成し、  
前記第1の電極又は前記第2の電極上方に偏光板、偏光板及び波長板を形成する

ことを特徴とするテレビジョン装置の作製方法。

【請求項 4 4】

請求項 4 1 乃至 4 3 のいずれか一において、  
前記波長板は、第 1 の電極又は前記第 2 の電極から  $1/4 \lambda$  板、 $1/2 \lambda$  板の順に形成することを特徴とするテレビジョン装置の作製方法。

【書類名】明細書

【発明の名称】配線、薄膜トランジスタ、並びに表示装置及びそれらの作製方法

【技術分野】

【0001】

本発明は、選択的にパターンを形成可能な方法を用いた配線の作製方法、薄膜トランジスタの作製方法、及び表示装置の作製方法に関する。また本発明は、選択的にパターン形成可能な方法を用いて形成された配線、薄膜トランジスタ、及び表示装置に関する。

【背景技術】

【0002】

液滴吐出技術は活字、画像の描画に使われてきたが、半導体分野におけるパターン形成などへ応用する試みが始まっている。例えば、液滴を所定の膜形成領域に吐出する方法、いわゆるインクジェット法による導電膜配線等の膜パターンの形成方法を改善する方法が提案されている（特許文献1参照）。特許文献1によると、インクジェット法により膜パターンを形成するとき、厚膜化を達成し、細線化の要請も満たし、導電膜とした場合に断線や短絡等の問題を生じない形成方法が開示されている。

【特許文献1】特開2003-133691号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記文献のように、配線を厚膜化するにつれ、配線を覆う薄膜の段切れが問題となってきた。さらに上記文献によると配線幅は $50\mu\text{m}$ 程度であり、現状の高精細の表示装置に用いられている薄膜トランジスタの配線幅には不十分であった。また配線が微細化されるにつれて、配線抵抗による信号遅延が問題となってきた。

【0004】

そこで本発明は、上記特許文献とは異なる方法により配線の細線化を行う手段を提供し、配線を覆う薄膜の段切れ防止、及び配線抵抗による信号遅延を解消することを課題とする。

【課題を解決するための手段】

【0005】

上記課題を鑑み、本発明は選択的にパターンを形成可能な方法により、導電膜を絶縁膜が有する開口部に形成し、導電膜と絶縁膜の表面が平坦性を有する構造を特徴とする。すなわち本発明の構造は、絶縁膜の側面に接して導電膜が設けられている。開口部とは、絶縁膜の上面を基準にした凹部と、絶縁膜の下面を基準にした凸部とを有すると表現することができる。平坦性を有するとは、絶縁膜の高さと、導電膜の高さとを揃えるように形成することを指し、作製工程上の多少のずれは含まれる。また、導電膜及び絶縁膜を覆って形成する薄膜が段切れしない程度の平坦性を有すればよい。そのため、絶縁膜と導電膜とは、略同一平面を有している。このような本発明の構造は、絶縁膜に導電膜が嵌設している、と表現することができる。

【0006】

このような本発明により、導電膜及び絶縁膜を覆って形成する薄膜の段切れを防止することができる。また、開口部の幅を制御することにより、配線の微細化を達成することができる。さらに、開口部の深さを制御することにより、配線の厚膜化を達成することができる。

【0007】

具体的な本発明の薄膜トランジスタの作製方法は、凹部及び凸部を有する絶縁膜を形成し、導電膜材料を有する液滴を噴出することにより、前記凹部に導電膜を形成し、前記第1の絶縁膜及び前記導電膜を覆って第2の絶縁膜を形成し、前記第2の絶縁膜上に半導体膜を形成し、前記第1の絶縁膜及び前記導電膜の表面は平坦となるように形成することを特徴とする。

【0008】

また上記工程において、前記凹部と前記凸部との間隔が $5\mu\text{m}\sim 100\mu\text{m}$ であって、前記凹部と前記凸部との高低差が $1\mu\text{m}\sim 10\mu\text{m}$ となるように形成することを特徴とする。

#### 【0009】

例えば、ゲート電極が半導体膜の下方に形成されるボトムゲート型の薄膜トランジスタの場合、凹部及び凸部を有する絶縁膜を形成し、導電膜材料を有する液滴を噴出することにより、前記凹部に第1及び第2のゲート電極を形成し、前記絶縁膜、前記第1及び第2のゲート電極を覆ってゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1及び第2の半導体膜を形成し、前記ゲート絶縁膜、前記第1及び第2の半導体膜を同時にパターンニングし、前記第1及び第2の半導体膜上にそれぞれソース電極及びドレイン電極を形成し、前記第1の半導体膜上に形成されたソース電極又はドレイン電極と、前記第2のゲート電極とを接続し、前記第1の絶縁膜及び前記ゲート電極の表面は平坦となるように形成することを特徴とする。

#### 【0010】

また上記工程において、前記ゲート電極を形成する領域における、前記凹部と前記凸部との間隔が $5\mu\text{m}\sim 20\mu\text{m}$ であって、前記凹部と前記凸部との高低差が $1.5\mu\text{m}\sim 2.5\mu\text{m}$ となるように形成することを特徴とする。

#### 【0011】

本発明において、薄膜トランジスタの構造はボトムゲート型に限定されない。ゲート電極が半導体膜の上方に形成されるトップゲート型の薄膜トランジスタの場合、凹部及び凸部を有する絶縁膜を形成し、導電膜材料を有する液滴を噴出することにより、前記凹部にソース電極及びドレイン電極を形成し、前記絶縁膜、前記ソース電極及びドレイン電極を覆って絶縁膜を形成し、前記絶縁膜上に半導体膜を形成し、前記半導体膜上にゲート絶縁膜を介してゲート電極を形成し、前記第1の絶縁膜、前記ソース電極及びドレイン電極の表面は平坦となるように形成することを特徴とする。

#### 【0012】

また上記工程において、前記ソース電極及びドレイン電極を形成する領域における、前記凹部と前記凸部との間隔が $10\mu\text{m}\sim 40\mu\text{m}$ であって、前記凹部と前記凸部との高低差が $1.5\mu\text{m}\sim 2.5\mu\text{m}$ となるように形成することを特徴とする。

#### 【0013】

また本発明において、導電膜材料を有する液滴を噴出する液滴量は、 $0.1\text{pl}\sim 40\text{pl}$ とすることを特徴とする。

#### 【0014】

以上のような薄膜トランジスタを用いて、テレビジョン装置を代表とする表示装置、携帯電話機、その他の電子機器を作製することができる。

#### 【0015】

このように形成される本発明の薄膜トランジスタの構造は、第1の絶縁膜に嵌設するように設けられた導電膜と、前記第1の絶縁膜及び前記導電膜を覆って設けられた第2の絶縁膜と、前記第2の絶縁膜上に設けられた半導体膜とを有し、前記絶縁膜と、前記導電膜とは略同一平面を有していることを特徴とする。

#### 【0016】

また本発明の薄膜トランジスタは、凹部及び凸部を有する第1の絶縁膜と、前記凹部及び前記凸部の間に設けられた導電膜と、前記第1の絶縁膜及び前記導電膜を覆って設けられた第2の絶縁膜と、前記第2の絶縁膜上に設けられた半導体膜とを有し、前記導電膜の高さは、前記凸部の高さと揃っていることを特徴とする。

#### 【0017】

また上記構造において、前記凹部と前記凸部との間隔が $5\mu\text{m}\sim 100\mu\text{m}$ の場合、前記導電膜の線幅は $5\mu\text{m}\sim 100\mu\text{m}$ となっている。

#### 【0018】

ボトムゲート型の薄膜トランジスタの場合、絶縁膜に嵌設するように設けられたゲート電



極と、前記絶縁膜及び前記ゲート電極を覆って設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた半導体膜とを有し、前記絶縁膜と、前記ゲート電極とは略同一平面を有していることを特徴とする。

【0019】

また本発明は、凹部及び凸部を有する絶縁膜と、前記凹部及び前記凸部の間に設けられたゲート電極と、前記絶縁膜及び前記ゲート電極を覆って設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた半導体膜とを有し、前記ゲート電極の高さは、前記凸部の高さと揃っていることを特徴とする。

【0020】

また上記構造において、前記ゲート電極を形成する領域における、前記凹部と前記凸部との間隔が $5\mu\text{m}\sim 20\mu\text{m}$ の場合、前記ゲート電極の線幅は $5\mu\text{m}\sim 20\mu\text{m}$ となっている。

【0021】

トップゲート型の薄膜トランジスタの場合、第1の絶縁膜に嵌設するように設けられたソース電極及びドレイン電極と、前記絶縁膜、前記ソース電極及び前記ドレイン電極を覆って設けられた第2の絶縁膜と、前記第2の絶縁膜上に設けられた半導体膜とを有し、前記絶縁膜と、前記ソース電極及び前記ドレイン電極とは略同一平面を有していることを特徴とする。

【0022】

また本発明は、凹部及び凸部を有する絶縁膜と、前記凹部及び前記凸部の間に設けられたソース電極及びドレイン電極と、前記絶縁膜及び前記ソース電極及びドレイン電極を覆って設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた半導体膜とを有し、前記ソース電極及びドレイン電極の高さは、前記凸部の高さと揃っていることを特徴とする。

【0023】

また上記構造において、前記ソース電極及びドレイン電極を形成する領域における、前記凹部と前記凸部との間隔が $10\mu\text{m}\sim 40\mu\text{m}$ の場合、前記ソース電極及びドレイン電極の線幅は $10\mu\text{m}\sim 40\mu\text{m}$ となっている。

【0024】

このような薄膜トランジスタにおいて、開口部の深さは $1\mu\text{m}\sim 10\mu\text{m}$ 、例えば $1.5\mu\text{m}\sim 2.5\mu\text{m}$ とすることができ、導電膜の厚膜化を達成することができる。

【0025】

以上のような薄膜トランジスタを有する、テレビジョン装置を代表とする表示装置、携帯電話機、その他の電子機器を得ることができる。

【0026】

選択的にパターンを形成可能な方法としては、導電膜や絶縁膜などの材料が混入された組成物の液滴（ドットとも表記する）を選択的に吐出（噴出）する液滴吐出法を用いることができる。液滴吐出法は、その方式によっては、インクジェット法とも呼ばれる。

【0027】

このとき、組成物はドット状に吐出したり、ドットが連なった柱状に吐出することがある。また組成物がドット状又は柱状に吐出されることを単に滴下又は噴出と表記する。すなわち、複数のドットが連続して吐出されるため、ドットとして認識されず線状に吐出されることもあるが、合わせて滴下又は噴出と表記する。

【0028】

導電体としては、金（Au）、銀（Ag）、銅（Cu）、白金（Pt）、パラジウム（Pd）、タンゲステン（W）、ニッケル（Ni）、タンタル（Ta）、ビスマス（Bi）、鉛（Pb）、インジウム（In）、錫（Sn）、亜鉛（Zn）、チタン（Ti）、若しくはアルミニウム（Al）、これらからなる合金、これらの分散性ナノ粒子、又はハロゲン化銀の微粒子を用いることができる。特に低抵抗な銀、銅を用いるとよい。

【0029】

また透明導電膜として、インジウム錫酸化物（ITO、Indium Tin Oxide）、酸化インジ



ウムに2~20%の酸化亜鉛 ( $ZnO$ ) を混合した IZO (indium zinc oxide)、酸化インジウムに2~20%の酸化珪素 ( $SiO_2$ ) を混合した ITO、有機インジウム、有機スズ等を用いることもできる。

#### 【0030】

組成物中において導電体等の材料が効率よく分散するため、微粒子となる導電体の表面を有機物、又は導電物によりコーティングするとよい。また表面を覆う物質は、積層構造を有してもよい。表面を覆う物質は導電性を有すると好ましいが、絶縁性を有しても加熱処理等により除去すればよい。特に銅を用いる場合、半導体膜中等に銅が拡散することを防止するため、銅微粒子の表面をニッケル (Ni) 又はニッケルボロン (NiB) 等の材料で覆うとよい。

#### 【0031】

また選択的にパターンを形成可能な方法を用いて、絶縁膜の開口部に形成する導電膜以外のパターンは、液滴吐出法により形成しなくともよい。一方、全てのパターンを、選択的にパターンを形成可能な方法により形成しても構わない。本発明は、薄膜トランジスタの一工程において絶縁膜間にパターンを形成すれば、本発明の効果を奏することができるからである。

#### 【発明の効果】

#### 【0032】

絶縁膜に形成された開口部に導電膜を形成することにより、導電膜と絶縁膜の表面を平坦化することができる。その結果、導電膜及び絶縁膜を覆って形成する薄膜の段切れを防止することができる。また、開口部の幅を制御することにより、配線の微細化を達成することができる。さらに、開口部の深さを制御することにより、配線の厚膜化を達成することができる。

#### 【0033】

また液滴吐出法により配線やマスク等のパターンを形成すると、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特に液滴吐出法によりパターンを形成すると、フォトリソグラフィ工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

#### 【発明を実施するための最良の形態】

#### 【0034】

以下に、本発明の実施の形態を図面に基づいて説明する。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

#### 【0035】

また TFT はゲート、ソース、ドレインの3端子を有するが、ソース端子 (ソース電極)、ドレイン端子 (ドレイン電極) に関しては、トランジスタの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース電極、ドレイン電極のうち一方を第1の電極、他方を第2の電極と表記する。

#### 【0036】

##### (実施の形態1)

本実施の形態では、薄膜トランジスタの作製方法の一例について説明する。

#### 【0037】

まず図1(A)に示すように、絶縁表面を有する基板100を用意する。基板100には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ステンレス基板、バルク半導体膜等を用いることができる。また、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES) に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板は、一般的に他の基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。特に、半導体膜を結晶化するための加熱工程を要しない非晶質半導体膜を有する薄膜トランジスタを形成する場合、

可撓性を有する合成樹脂からなる基板を用いやすい。

#### 【0038】

また基板の平坦性を高めるため、CMP法 (Chemical-Mechanical Polishing)、いわゆる化学的又は機械的ポリッシング法により、表面研磨してから用いると好ましい。CMPの研磨剤 (スラリー) には、例えば、塩化シリコンガスを熱分解して得られるフュームドシリカ粒子をKOH添加水溶液に分散したものをを用いることができる。

#### 【0039】

基板100上に、下地膜101を形成する。下地膜は単層構造又は積層構造を有してもよい。下地膜は、基板中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。そのため、アルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素、窒化珪素、窒化酸化珪素、酸化チタン、窒化チタンなどの絶縁膜を用いて下地膜を形成することができる。またチタン等の導電膜を用いて下地膜を形成することもできる。この場合、導電膜は、作製工程における加熱処理等により、酸化される。特に、下地膜の材料は、ゲート電極材料と密着性の高いものを選択するとよい。例えば、ゲート電極にAgを用いる場合、酸化チタン ( $TiO_x$ ) からなる下地膜を形成すると好ましい。すなわち酸化チタン ( $TiO_x$ ) は、下地膜機能と、密着性向上機能とを併せ持っている。その他の下地膜の材料は、3d遷移元素 (Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn)、及びそれらの酸化物、窒化物、酸窒化物を用いることができる。

#### 【0040】

また下地膜は、不純物が半導体膜へ拡散することが防止できれば、必ずしも設ける必要はない。そのため本実施の形態のように、ゲート電極上にゲート絶縁膜を介して半導体膜を形成する場合、ゲート絶縁膜が半導体膜へ不純物の拡散を防止する機能を果たすことができるため、下地膜を設ける必要はない。さらに、基板材料により下地膜を設けると好ましい場合がある。ガラス基板、ステンレス基板又はプラスチック基板のように、アルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いる場合、不純物の拡散を防ぐという観点から下地膜を設けることは有効である。一方、石英基板など不純物の拡散がさして問題とならない場合は、必ずしも下地膜を設ける必要はない。

#### 【0041】

次いで、下地膜上に絶縁膜102を形成する。絶縁膜は、有機材料や無機材料を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。シロキサンとは、珪素 (Si) と酸素 (O) との結合で骨格構造が構成され、置換基に少なくとも水素を含む、又は置換基にフッ素、アルキル基、又は芳香族炭化水素のうち少なくとも1種を有するポリマー材料、を出発原料として形成される。またポリシラザンとは、珪素 (Si) と窒素 (N) の結合を有するポリマー材料、いわゆるポリシラザンを含む液体材料を出発原料として形成される。無機材料としては、酸化珪素、又は窒化珪素を用いることができる。絶縁膜は、プラズマCVD法、減圧CVD法、液滴吐出法、スピニング法又はディップ法を用いて形成することができる。粘性の高い原料を用いて形成する場合、液滴吐出法、スピニング法、又はディップ法を用いると好ましい。

#### 【0042】

絶縁膜102は、絶縁膜の上面を基準にすると凹部と表現できる領域 (以下、凹部と表記する) 20と、絶縁膜の下面を基準にすると凸部と表現できる領域 (以下、凸部と表記する) 21とを有している。凹部と凸部は、絶縁膜形成後、所望のマスクを形成し、ドライエッチング法又はウェットエッチング法により開口部 (溝) を形成し、凹部及び凸部とすることができる。また選択的に、絶縁膜を凸部21となる領域に形成してもよい。凹部と凸部の間隔、つまり開口部の幅は、 $5\mu m \sim 100\mu m$ となるように形成する。特に、液滴吐出法のみでは微細化が難しくなる幅  $5\mu m \sim 50\mu m$  の配線を形成する場合、開口部の幅を  $5\mu m \sim 50\mu m$  とし、該開口部にむかって液滴吐出法により配線を滴下することで、微細化した配線を形成することができる。そのため、微細な配線を得るために、開口



部の幅が  $5\ \mu\text{m} \sim 50\ \mu\text{m}$  と細くなるにつれ、本発明は顕著な効果を奏する。

【0043】

また、凹部と凸部の高低差、つまり開口部の深さは、 $1\ \mu\text{m} \sim 10\ \mu\text{m}$  となるように形成する。特に、開口部を深くする場合、駆動用回路からの信号を各半導体素子へ入力するための走査線、引き回し配線等の配線を形成するとよい。液滴吐出法のみで形成する配線と比較して、深さ  $1\ \mu\text{m} \sim 10\ \mu\text{m}$  の開口部を形成し、該開口部にむかって液滴吐出法により配線を形成すると、 $1\ \mu\text{m} \sim 10\ \mu\text{m}$  の厚い配線を形成することができるため、配線抵抗やそれに起因する発熱、信号遅延を防止することができ好ましい。

【0044】

本実施の形態では、ドライエッチングにより所望の領域に開口部を形成し、凹部と凸部を有する絶縁膜を形成する。また、ゲート電極を形成する領域の開口部は、幅  $5\ \mu\text{m} \sim 20\ \mu\text{m}$  とし、走査線を形成する領域の開口部は、幅  $10\ \mu\text{m} \sim 40\ \mu\text{m}$ 、外部端子へ引き回す配線（図示しない）を形成する領域の開口部は、幅  $20\ \mu\text{m} \sim 100\ \mu\text{m}$  となるように形成する。この場合、ゲート電極の幅（チャンネル長）が  $5\ \mu\text{m} \sim 20\ \mu\text{m}$  となっている。また開口部の深さは、 $1.5\ \mu\text{m} \sim 2.5\ \mu\text{m}$  となるように形成する。

【0045】

このような線幅  $5\ \mu\text{m} \sim 100\ \mu\text{m}$  の配線を形成する場合、液滴量は  $0.1\ \text{p l} \sim 40\ \text{p l}$  とし、開口部の深さを満たすように複数回滴下するとよい。

【0046】

図1（B）に示すように、絶縁膜102の開口部、つまり絶縁膜102間に走査線及びゲート電極として機能する導電膜（それぞれ、走査線、及びゲート電極と表記する）を形成する。

【0047】

導電膜は、単層構造及び積層構造のいずれを有してもよい。積層構造を有する場合、例えば下層側の第1の導電膜として、液滴吐出法によりAgを含む液滴を滴下し、上層側の第2の導電膜として液滴吐出法やスパッタリング法によりCuを形成してもよい。Cuのように低抵抗材料を形成することにより、配線抵抗が低減し、配線抵抗に伴う発熱や信号遅延を防止することができる。

【0048】

また積層構造のゲート電極を形成する手段として、メッキ法を用いてもよい。例えば、電気メッキ法又は無電解メッキ法により、液滴吐出法により形成された第1の導電膜の周りに第2の導電膜を形成してもよい。具体的には電気メッキ処理を行い、液滴吐出法により形成されたAgの周りに、Cuを形成することができる。また電流を流す必要のない無電解メッキ処理を行い、液滴吐出法により形成されたAgの周りに、Cuを形成してもよい。Cuのように低抵抗材料をAgの周りに形成する結果、配線抵抗の低減、配線抵抗に伴う発熱や信号遅延を防止することができる。

【0049】

このとき、基板を金属の溶けた水溶液に浸けることにより、メッキ処理を行うことができる。また大型マザーガラス基板を用いる場合、該基板上に金属の溶けた水溶液を流すことによりメッキ処理を行うことができる。この場合、メッキ処理を行う装置の大型化を防止することができる。

【0050】

このように積層構造を用いると、第1の導電膜を微細化して形成する場合、第2の導電膜により配線抵抗を低下することができるため好ましい。またCuのように拡散性の高い導電体を形成する場合、拡散を防止するためCuを覆うようにバリア膜を形成するとよい。

【0051】

本実施の形態では、液滴吐出法を用いて、ノズル104より、溶媒中に走査線及びゲート電極の材料となる導電体が混入した液滴を滴下して、走査線103a、及びゲート電極103bを形成する。なお本実施の形態において、半導体膜等に対するノズルの大きさは、模式的なものであり、実際とは異なる場合がある。また、図1において、走査線及びゲ

ト電極の側面はテーパを有してもよい。この場合、絶縁膜の開口部の側面がテーパを有するように形成すればよい。

#### 【0052】

そして、溶媒としてテトラデカンを用い、走査線及びゲート電極の材料となる導電体として、 $\text{Ag}_2\text{O}$ の微粒子が分散している液滴を滴下する。このような $\text{Ag}_2\text{O}$ は絶縁体であるが、焼成することにより還元され、導電体である $\text{Ag}$ となる。

#### 【0053】

ノズル104の径や、液滴の量は、導電体の体積、つまり絶縁膜の凹部、その他液滴の材質である粘性等に基づき設定することができる。

#### 【0054】

その後、液滴中の溶媒を除去する必要があるとき、焼成したり、乾燥させるため加熱処理を施す。具体的には、所定の温度、例えば $200^\circ\text{C} \sim 300^\circ\text{C}$ で加熱すればよく、好ましくは酸素を有する雰囲気中で加熱処理を行う。このときゲート電極表面に凹凸が生じないように加熱温度を設定する。特に本実施の形態のように銀( $\text{Ag}$ )を有する液滴を用いる場合、酸素及び窒素を有する雰囲気中で加熱処理を行うとよい。例えば、酸素の組成比は、 $10 \sim 25\%$ となるように設定する。すると、液滴の溶媒中に含まれる接着剤等の熱硬化性樹脂などの有機物が分解されるため、有機物を含まない銀( $\text{Ag}$ )を得ることができる。その結果、ゲート電極表面の平坦性を高め、比抵抗値を低くすることができる。

#### 【0055】

またゲート電極は、銀( $\text{Ag}$ )以外にタンタル、タングステン、チタン、モリブデン、アルミニウム、銅から選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成することもできる。また導電膜は、液滴吐出法以外に、スパッタリング法、プラズマCVD法により形成することができる。スパッタリング法、プラズマCVD法により形成する導電膜として、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、 $\text{AgPdCu}$ 合金を用いることができる。

#### 【0056】

このとき、導電膜の高さと、絶縁膜の凸部の高さを揃えると好ましい。すなわち、絶縁膜及びゲート電極の表面が平坦となると好ましい。そのため、導電膜の高さが絶縁膜の凸部の高さより高い場合、平坦化処理を行うとよい。平坦化手段として、CMP法(Chemical-Mechanical Polishing)、いわゆる化学的・機械的ポリッシング法を用いて、平坦性が確保できるように表面研磨することができる。またエッチバックにより、導電膜の表面をエッチングし、平坦化してもよい。

#### 【0057】

また別の平坦化手段として、導電膜の加熱処理前に、気体を噴きつける手段を用いて、導電膜を平坦化することができる。気体を噴きつける手段としては、例えば、基板等の不純物除去に使われているエアナイフを用いることができる。また気体としては、大気、酸素、又は窒素を用いることができる。その結果、導電膜表面に形成されたミクロな凹凸まで平坦化することができる。その後、加熱を行う。

#### 【0058】

さらに別の手段として、導電膜の加熱処理前に、加圧により導電膜を平坦化することができる。例えば、ホットプレスの原理を利用し、加熱された板を基板上に配置し、加圧しながらプレスする。

#### 【0059】

一方、加熱処理により、導電膜の体積が収縮し、導電膜の高さが絶縁膜の凸部の高さより低くなる場合、再度、液滴を滴下すればよい。

#### 【0060】

また絶縁膜102と、走査線103a、及びゲート電極103bを形成する工程は、液滴吐出法により形成することができる。液滴吐出法による詳細の作製工程は、下記実施の形態で示す。

#### 【0061】

図1 (C) に示すように、ゲート電極を覆ってゲート絶縁膜106として機能する絶縁膜（以下、ゲート絶縁膜と表記する）を形成する。

#### 【0062】

ゲート絶縁膜は、積層構造又は単層構造を有することができる。ゲート絶縁膜としては、酸化珪素、窒化珪素又は窒化酸化珪素等の無機材料からなる絶縁体、又はポリシラザン、ポリビニルアルコール等の有機材料からなる絶縁体を用いることができる。

#### 【0063】

また本実施の形態のように、銀(Ag)をゲート電極として用いる場合、ゲート絶縁膜には窒化珪素膜を用いると好ましい。酸素を有する絶縁膜を用いると、銀(Ag)と反応し、酸化銀が形成されゲート電極表面が荒れる恐れがあるからである。

#### 【0064】

ゲート絶縁膜は、プラズマCVD法、減圧CVD法、液滴吐出法、スピンコーティング法又はディップ法を用いて形成することができる。粘性の高い原料を用いて形成する場合、液滴吐出法、スピンコーティング法、又はディップ法を用いると好ましい。

#### 【0065】

このとき、絶縁膜102と、走査線103a、及びゲート電極103bとの表面が揃い、平坦化されているため、段切れすることなくゲート絶縁膜を形成することができる。特に、スピンコーティング法、又はディップ法を用いてゲートを形成する場合、表面が平坦化されている本実施の形態の構造は好適である。

#### 【0066】

図1 (D) に示すように、ゲート絶縁膜上に半導体膜108を形成する。半導体膜は、プラズマCVD法、スパッタリング法、液滴吐出法等により形成することができる。半導体膜の膜厚は25～200nm（好ましくは30～60nm）とする。また半導体膜の材料は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5atomic%程度であることが好ましい。

#### 【0067】

また半導体膜は、非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体(SASとも表記する)、非晶質半導体中に0.5nm～20nmの結晶粒を観察することができる微結晶半導体、及び結晶性半導体から選ばれたいずれの状態を有してもよい。特に、0.5nm～20nmの結晶を粒観察することができる微結晶状態はいわゆるマイクロクリスタル( $\mu c$ )と呼ばれている。

#### 【0068】

SASは、非晶質構造と結晶構造（単結晶、多結晶を含む）との中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体である。また短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。そして少なくとも膜中の一部の領域には、0.5～20nmの結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが $520\text{ cm}^{-1}$ よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。また未結合手（ダングリングボンド）の中和剤として、SASは水素或いはハロゲンを1原子%、又はそれ以上含んでいる。

#### 【0069】

SASは、珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 $\text{SiH}_4$ であり、その他にも $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ などを用いることができる。珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種又は複数種の希ガス元素で希釈して用いることによりSASの形成を容易なものとすることができる。このとき希釈率が10倍～1000倍の範囲となるように、珪化物気体を希釈すると好ましい。また $\text{Si}_2\text{H}_6$ 及び $\text{GeF}_4$ を用い、ヘリウムガスで希釈する方法を用いてSASを形成することができる。グロー放電分解による被膜の反応生成は減圧下で行うと好ましく、圧力は概略0.1Pa～13



3 Pa の範囲で行えばよい。グロー放電を形成するための電力は 1 MHz ~ 120 MHz、好ましくは 13 MHz ~ 60 MHz の高周波電力を供給すればよい。基板加熱温度は 300 度以下が好ましく、100 ~ 250 度の基板加熱温度が推奨される。

#### 【0070】

また結晶性半導体膜は、非晶質半導体膜を加熱又はレーザー照射により結晶化して形成することができる。また、直接、結晶性半導体膜を形成してもよい。この場合、GeF<sub>4</sub>、又は F<sub>2</sub> 等のフッ素系ガスと、SiH<sub>4</sub>、又は Si<sub>2</sub>H<sub>6</sub> 等のシラン系ガスとを用い、熱又はプラズマを利用して直接、結晶性半導体膜を形成することができる。

#### 【0071】

本実施の形態では、半導体膜 108 として、プラズマ CVD 法を用いて、珪素を主成分とする非晶質半導体膜（非晶質珪素膜、アモルファスシリコンとも表記する）を形成する。

#### 【0072】

次いで、一導電型を有する半導体膜を形成する。なお一導電型を有する半導体膜を形成すると、半導体膜と電極とのコンタクト抵抗が低くなり好ましいが、必要に応じて設ければよい。一導電型を有する半導体膜は、プラズマ CVD 法、スパッタリング法、液滴吐出法等を用いて形成することができる。本実施の形態では、プラズマ CVD 法により N 型を有する半導体膜 107 を形成する。

#### 【0073】

半導体膜 108 と、N 型を有する半導体膜 107 とをプラズマ CVD 法により形成する場合、半導体膜と、N 型を有する半導体膜、さらにゲート絶縁膜を連続形成することができる。具体的には、プラズマ CVD 装置の処理室内への原料ガスの供給を変化させることにより大気開放することなく、連続形成することができる。その結果、半導体膜と、N 型を有する半導体膜、さらにゲート絶縁膜の各々の界面への不純物付着を防止することができる。

#### 【0074】

その後、図示しないがマスクを用いて半導体膜 108、N 型を有する半導体膜 107、及びゲート絶縁膜 106 を所望の形状にパターニングする。そのため、所望箇所にマスク 107 を形成し、該マスクを用いてドライエッチング又はウェットエッチングによりパターニングする。マスクは、液滴吐出法又はフォトリソグラフィ法により形成することができる。なお、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となるため液滴吐出法を用いてマスクを形成すると好ましい。さらに液滴吐出法によりマスクを形成すると、フォトリソグラフィ工程の簡略化を行うことができる。すなわち、フォトリソマスク形成、露光等が不要となり、設備投資コストの削減を達成でき、製造時間を短縮することができる。

#### 【0075】

マスク材料として、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）、感光性又は非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ポリビニルアルコール、レジスト又はベンゾシクロブテン）を用いることができる。例えばポリイミドを用いて液滴吐出法によりマスクを形成する場合、所望箇所に液滴吐出法によりポリイミドを吐出した後、焼成するため 150 ~ 300 °C で加熱処理を行うとよい。

#### 【0076】

パターニング後、マスクを除去するため、プラズマ処理を行う。なお、マスクは除去せずに絶縁膜として機能させることもできる。

#### 【0077】

このように同時にパターニングするため、半導体膜 108、N 型を有する半導体膜 107、及びゲート絶縁膜 106 の端部が一致する構造となる。すなわち、半導体膜 108、N 型を有する半導体膜 107、及びゲート絶縁膜 106 のそれぞれの端部は、互いの端部を越えないように設けられている。

#### 【0078】

図2 (A) に示すように、信号線及び電源線109a、ソース電極及びドレイン電極109bとして機能する導電膜を形成する。信号線及び電源線109a、ソース電極及びドレイン電極109bの線幅は、 $5\mu\text{m}$ ～ $100\mu\text{m}$ となるように形成する。導電膜は、単層構造及び積層構造のいずれを有してもよい。積層構造については、ゲート電極について説明した記載を参照することができる。

【0079】

導電膜として、金、銀、銅、アルミニウム、チタン、モリブデン、タングステンもしくはシリコンの元素からなる膜又はこれらの元素を用いた合金膜を用いることができる。また導電膜は液滴吐出法を用いて形成することができる。

【0080】

また導電膜は、銀(Ag)以外にタンタル、タングステン、チタン、モリブデン、アルミニウム、銅から選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成することもできる。また導電膜は、液滴吐出法以外に、スパッタリング法、プラズマCVD法により形成することができる。スパッタリング法、プラズマCVD法により形成する導電膜として、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いることができる。

【0081】

本実施の形態では、液滴吐出法により銀(Ag)を有する液滴を用いて形成する。具体的には、図1 (B) に示したゲート電極と同様にノズル104から信号線、電源線、ソース電極及びドレイン電極を形成すればよい。このとき、ソース電極及びドレイン電極の線幅は $10\mu\text{m}$ ～ $40\mu\text{m}$ とし、信号線又は電源線の線幅は幅 $5\mu\text{m}$ ～ $40\mu\text{m}$ とし、外部端子へ引き回す配線(図示しない)の線幅は $20\mu\text{m}$ ～ $100\mu\text{m}$ となるように形成する。またこのように液滴吐出法により線幅 $5\mu\text{m}$ ～ $100\mu\text{m}$ の配線を形成する場合、液滴量は $0.1\text{pl}$ ～ $40\text{pl}$ とする。このとき、ノズルに送られる制御用信号(例えばパルス電圧印加)によって、液滴量を制御することができる。例えば、線幅 $5\mu\text{m}$ とする場合、ノズル104からの液滴量は、 $0.1\text{pl}$ となるように制御すればよい。但し、配線の被形成面と液滴との接触角でも配線幅は制御することができる。

【0082】

本実施の形態において、信号線、電源線、ソース電極及びドレイン電極、を形成する場合であっても、ゲート電極等と同様に、絶縁膜に開口部を形成し、該開口部間に信号線、電源線、ソース電極及びドレイン電極を形成してもよい。

【0083】

このとき、信号線及び電源線109a下には、走査線103aが形成されており、直接信号線及び電源線109aを形成すると、ショートしてしまう。そのため、信号線及び電源線と走査線との交差部に、絶縁膜112を形成し、ショートを防止する。該絶縁膜は、上記絶縁膜102と同様に形成することができる。本実施の形態では、液滴吐出法によりポリイミドを滴下して形成する。

【0084】

その後、液滴の溶媒を除去する必要があるとき、焼成したり、乾燥させるため加熱処理を施す。

【0085】

さらに、信号線、電源線、ソース電極及びドレイン電極の被形成面上の撥液性を高めるため、撥液処理を行ってもよい。撥液処理としては、フッ素系のシランカップリング剤等を塗布する方法がある。別の撥液処理として、 $\text{CHF}_3$ 、 $\text{O}_2$ 混合ガス等を用いたプラズマ処理を行ってもよい。

【0086】

その後、ソース電極及びドレイン電極をマスクとして、N型を有する半導体膜107をエッチングする。N型を有する半導体膜が、ソース電極及びドレイン電極を短絡することを防止するためである。このとき、半導体膜108が多少エッチングされることがある。

【0087】

以上のように、ソース電極及びドレイン電極まで設けられた薄膜トランジスタ110、111が完成する。このとき薄膜トランジスタ110、111において、薄膜トランジスタ110のソース電極又はドレイン電極109bと、薄膜トランジスタ111のゲート電極は、接続配線を介することなく直接接続している。特に表示装置の画素部にこれら薄膜トランジスタを形成する場合、薄膜トランジスタ110はスイッチングとして機能し、薄膜トランジスタ111は電界発光層の発光輝度を制御する駆動用として機能する。すなわちスイッチングとして機能する薄膜トランジスタ（スイッチング用TFT）のソース電極又はドレイン電極と、駆動用として機能する薄膜トランジスタ（駆動用TFT）のゲート電極が接続している。

#### 【0088】

本実施の形態の薄膜トランジスタは、半導体膜より下方にゲート電極が設けられた、所謂ボトムゲート型の薄膜トランジスタである。より詳細には、半導体膜が多少エッチングされている、所謂チャネルエッチ型である。このような薄膜トランジスタが複数設けられた基板をTFT基板と表記する。

#### 【0089】

図2（B）に示すように、層間絶縁膜113として機能する絶縁膜、及び補助配線、並びに接続配線として機能する導電膜114を形成する。補助配線として機能する導電膜は、信号線、電源線、ソース電極及びドレイン電極上に形成する。その結果、配線抵抗の低減、配線抵抗に伴う発熱や信号遅延を防止することができる。特に、信号線、電源線、ソース電極及びドレイン電極の微細化に伴い、配線抵抗等の問題が顕著化してくるため、補助配線を設けると好適である。また接続配線は、薄膜トランジスタ111のソース電極又はドレイン電極と、画素電極との接続を確保する。特に、層間絶縁膜113により平坦化されているため、画素電極の段切れを防止することができる。その結果、電界発光層に印加される電圧を均一とすることができる。

#### 【0090】

層間絶縁膜113は、絶縁膜102と同様の材料から選択して形成することができる。導電膜114は、走査線及びゲート電極と同様の材料から選択して形成することができる。また層間絶縁膜113と、導電膜114の作製工程は、絶縁膜102と、走査線及びゲート電極の作製工程を参照すればよい。例えば、層間絶縁膜形成後、所望のマスクを形成し、ドライエッチング法又はウェットエッチング法により開口部（溝）を形成し、開口部に導電膜114を形成することができる。

#### 【0091】

層間絶縁膜113と、導電膜114を形成する工程は、液滴吐出法により形成することができる。例えば、液滴吐出法により、導電膜114を柱状に形成し、その後液滴吐出法により層間絶縁膜113を形成することができる。また層間絶縁膜をスピンコーティング法等により形成することもできる。その他の液滴吐出法による詳細の作製工程は、下記実施の形態で示す。

#### 【0092】

図3（A）に示すように、薄膜トランジスタ111のソース電極又はドレイン電極と接続するように画素電極115を形成する。

#### 【0093】

画素電極は透光性又は非透光性を有する材料から形成する。例えば、透光性を有する場合、ITO等を用いることができ、非透光性を有する場合、金属膜を用いることができる。具体的な透光性を有する材料として、インジウム錫酸化物（ITO、Indium Tin Oxide）、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合したIZO（indium zinc oxide）、酸化インジウムに2～20%の酸化珪素（SiO<sub>2</sub>）を混合したITO-SiO<sub>x</sub>（便宜上ITSO又はNITOと表記する）、有機インジウム、有機スズ等を用いることもできる。また非透光性を有する材料として、銀（Ag）以外にタンタル、タングステン、チタン、モリブデン、アルミニウム、銅から選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料を用いることができる。本実施の形態では、ITSOを用



いて画素電極を形成する。

【0094】

画素電極は、スパッタリング法又は液滴吐出法により形成することができる。スパッタリング法を用いる場合、メタルマスクを用いて、選択的に画素電極を形成する。一方、液滴吐出法を用いる場合、描画する領域を設定することにより、選択的に画素電極を形成することができる。そのため、メタルマスクを不要とすることができる。

【0095】

以上のような画素電極まで設けられた状態のTFT基板をモジュール用TFT基板と表記する。

【0096】

本実施の形態では、画素電極115が、層間絶縁膜113上に形成される構造を説明したが、その他の構造でもよい。例えば、層間絶縁膜を形成しない構造をとることができる。具体的には、薄膜トランジスタ110、111を形成後、薄膜トランジスタ111のソース電極又はドレイン電極上に、画素電極を形成してもよい。また別の構造は、絶縁膜102上に画素電極を形成後、薄膜トランジスタ110、111を形成してもよい。このように、層間絶縁膜を形成しない構造は、半導体素子の薄膜化を達成することができる。また層間絶縁膜に起因する工程不良や動作不良を削減することができる。

【0097】

図4には、画素電極まで形成した構造の上面図を示す。図1～図3における断面図は、図4におけるA-Bの断面に相当する。絶縁膜102と同一レイヤーに走査線103a及びゲート電極が設けられている。走査線103aの線幅W1は、スイッチング用TFTのゲート電極の線幅W2より大きく形成すると好ましい。ゲート電極W2の線幅が $5\mu\text{m}\sim 20\mu\text{m}$ であるとき、走査線の線幅W1は2倍程度である $10\mu\text{m}\sim 40\mu\text{m}$ とする。そのため、液滴吐出法により形成する場合、ノズルの径を変えたり、印加パルスの波形を変えると好ましい。また、同一径のノズルで、同一印加パルス波形を用いる場合、走査線は複数回に渡って描画し、線幅W1を太くすることができる。

【0098】

そして、ゲート絶縁膜を介して半導体膜等が設けられている。走査線と、信号線及び電源線109aとの交差部に絶縁膜112が設けられ、ソース電極及びドレイン電極と、信号線及び電源線が同一レイヤーに設けられている。ソース電極及びドレイン電極は、半導体膜を覆うように設けられている。また、ソース電極及びドレイン電極の端部は、ゲート電極の端部と重なるように設けられている。これらゲート電極、半導体膜、ソース電極及びドレイン電極を有する薄膜トランジスタ110、111、つまりスイッチング用TFT110及び駆動用TFT111が完成する。薄膜トランジスタ111のソース電極と接続するように画素電極115が設けられている。そして画素電極上に設けられる電界発光層から光が射出する。

【0099】

本実施の形態において、駆動用TFTは非晶質半導体膜を有するため、駆動用TFTのチャネル幅(W3)が大きくなるように設計するとよい。

【0100】

このような画素構造において、信号線からビデオ信号が入力され、薄膜トランジスタ110、111を介して電界発光層へ電流が供給される。電界発光層は、電流に応じた輝度で発光する。

【0101】

なお図4において、ビデオ信号を保持する容量を設けていないが、薄膜トランジスタのゲート容量などでまかなうことが可能である。特に、非晶質半導体を用いて薄膜トランジスタを形成しているため、薄膜トランジスタのゲート容量でまかなうことができる。

【0102】

駆動用TFTは電流駆動型の素子であるため、画素内のTFTの特性バラツキ、特に $V_{th}$ バラツキが少ない場合アナログ駆動を用いるとよい。特に、本実施の形態のように、非

晶質半導体膜を有する TFT は、特性バラツキが低いため、アナログ駆動を用いると好適である。一方デジタル駆動でも、駆動用 TFT を飽和領域 ( $|V_{gs} - V_{th}| < |V_{ds}|$  を満たす領域) で動作させることで、一定の電流値を発光素子に供給することができる。

#### 【0103】

図 3 (B) に示すように、画素電極 115 の端部を覆うように、隔壁又は土手として機能する絶縁膜 118 を形成する。絶縁膜 118 には、無機材料 (酸化シリコン、窒化シリコン、酸化窒化シリコンなど)、感光性又は非感光性の有機材料 (ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン)、シロキサン、ポリシラザン、及びそれらの積層構造を用いることができる。有機材料として、ポジ型感光性有機樹脂又はネガ型感光性有機樹脂を用いることができる。例えば、有機材料としてポジ型の感光性アクリルを用いた場合、露光処理により感光性有機樹脂をエッチングすると上端部に曲率を有する開口部を形成することができる。そのため、後に形成する電界発光層等の段切れを防止することができる。

#### 【0104】

絶縁膜 118 を形成後、大気圧下又は減圧下で加熱処理を行うと好ましい。加熱温度は、 $100^{\circ}\text{C} \sim 450^{\circ}\text{C}$ 、好ましくは  $250^{\circ}\text{C} \sim 350^{\circ}\text{C}$  で行うとよい。その結果、絶縁膜 118 中又はその表面に吸着している水分を除去することができる。

#### 【0105】

なお、画素電極に ITSO を用いる場合、層間絶縁膜上に窒化珪素膜 (図示しない) を形成した後、画素電極 115 を形成すると好ましい。このとき、ITSO と窒化珪素膜とは接するように形成する。ITSO と窒化珪素膜とにより、電界発光層からの光取り出し効率が向上することがわかっている。

#### 【0106】

絶縁膜 118 の開口部に、電界発光層 119 を形成する。絶縁膜 118 に対する加熱処理の後、電界発光層を真空蒸着法又は液滴吐出法で形成することが好ましい。このとき、大気に曝すことなく連続して、絶縁膜の加熱処理から電界発光層の形成までを行うとよい。そのため、これらの工程を減圧下で行うと好ましい。特に液滴吐出法により電界発光層を形成する場合、電界発光層を形成する前に、絶縁膜 118、特に絶縁膜の開口部に対してプラズマ処理を行ってもよい。プラズマ処理の結果、撥液性又は親液性を制御することができるため、溶媒の選択によって、優先的に絶縁膜の開口部に電界発光層を形成することができるからである。

#### 【0107】

電界発光層の材料は、有機材料 (低分子又は高分子を含む)、又は有機材料と無機材料の複合材料として用いることができる。また電界発光層は、液滴吐出法、塗布法又は蒸着法により形成することができる。高分子材料は、液滴吐出法又は塗布法が好ましく、低分子材料は蒸着法、特に真空蒸着法が好ましい。本実施の形態では、電界発光層として、低分子材料を真空蒸着法により形成する。

#### 【0108】

なお電界発光層が形成する分子励起子の種類としては一重項励起状態と三重項励起状態が可能である。基底状態は通常一重項状態であり、一重項励起状態からの発光は蛍光と呼ばれる。また、三重項励起状態からの発光は燐光と呼ばれる。電界発光層からの発光とは、どちらの励起状態が寄与する場合も含まれる。さらに、蛍光と燐光を組み合わせ用いてもよく、各 RGB の発光特性 (発光輝度や寿命等) により蛍光及び燐光のいずれかを選択することができる。

#### 【0109】

詳細な電界発光層は、画素電極 115 側から順に、HIL (ホール注入層)、HTL (ホール輸送層)、EML (発光層)、ETL (電子輸送層)、EIL (電子注入層) の順に積層されている。なお電界発光層は、積層構造以外に単層構造、又は混合構造をとることができる。



## 【0110】

具体的には、HILとしてCuPcやPEDOT、HTLとして $\alpha$ -NPD、ETLとしてBCPやAlq<sub>3</sub>、EILとしてBCP:LiやCaF<sub>2</sub>をそれぞれ用いる。また例えばEMLは、R、G、Bのそれぞれの発光色に対応したドーパント（Rの場合DCM等、Gの場合DMQD等）をドーブしたAlq<sub>3</sub>を用いればよい。

## 【0111】

なお、電界発光層は上記材料に限定されない。例えば、CuPcやPEDOTの代わりに酸化モリブデン（MoO<sub>x</sub>: x=2~3）等の酸化物と $\alpha$ -NPDやルブレンを共蒸着して形成し、ホール注入性を向上させることもできる。

また電子注入層にベンゾオキサゾール誘導体（BzOSと示す）を用いてもよい。

## 【0112】

本実施の形態において、電界発光層119として、赤色（R）、緑色（G）、青色（B）の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成することができる。液滴吐出法を用いる場合、赤色（R）、緑色（G）、青色（B）の発光を示す材料を、蒸着マスクを用いずに形成することができる。

## 【0113】

さらに各RGBの電界発光層を形成する場合、カラーフィルターを用いて、高精細な表示を行うこともできる。カラーフィルターにより、各RGBの発光スペクトルにおけるブロードなピークを鋭くなるように補正できるからである。

## 【0114】

以上、各RGBの電界発光層を形成する場合を説明したが、単色の発光を示す電界発光層を形成してもよい。この場合であってカラーフィルターや色変換層を組み合わせることによりフルカラー表示を行うことができる。例えば、白色又は橙色の発光を示す電界発光層を形成する場合、カラーフィルターやカラーフィルターと色変換層とを組み合わせたものを設けることによりフルカラー表示を行うことができる。カラーフィルターや色変換層は、例えば第2の基板（封止基板とも表記する）に形成し、基板へ張り合わせればよい。カラーフィルター、及び色変換層のいずれも液滴吐出法により形成することができる。

## 【0115】

もちろん単色の発光を示す電界発光層を形成して単色表示を行ってもよい。例えば、単色発光を用いてエリアカラータイプの表示を行うことができる。エリアカラータイプは、パッシブマトリクス型の構造が適しており、主に文字や記号を表示することができる。

## 【0116】

その後図3（B）に示すように、電界発光層119及び絶縁膜118を覆うように発光素子の第2の電極120を形成する。

## 【0117】

画素電極（便宜上第1の電極と表記する）115及び第2の電極120の材料は、仕事関数を考慮して選択する必要がある。そして第1の電極及び第2の電極は、画素構造により、いずれも陽極、又は陰極となりうる。本実施の形態では、第1の電極が接続される薄膜トランジスタ111の極性がNチャネル型であるため、第1の電極を陰極、第2の電極を陽極とすると好ましい。また薄膜トランジスタの極性がpチャネル型である場合、第1の電極を陽極、第2の電極を陰極とすると好ましい。

## 【0118】

以下に、陽極及び陰極に用いる電極材料について説明する。

## 【0119】

陽極として用いる電極材料としては、仕事関数の大きい（仕事関数4.0eV）金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。具体例な材料としては、ITO（indium tin oxide）、酸化インジウムに2~20%の酸化亜鉛（ZnO）を混合したIZO（indium zinc oxide）、ITO、金、白金、ニッケル、タンガステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、又は金属材料の窒化物（例えば、窒化チタン等）を用いることができる。

## 【0120】

一方、陰極として用いる電極材料としては、仕事関数の小さい（仕事関数3.8 eV以下）金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。具体的な材料としては、元素周期律の1族又は2族に属する元素、すなわちリチウムやセシウム等のアルカリ金属、及びマグネシウム、カルシウム、ストロンチウム等のアルカリ土類金属、及びこれらを含む合金（Mg:Ag、Al:Li）や化合物（LiF、CsF、CaF<sub>2</sub>）の他、希土類金属を含む遷移金属を用いて形成することができる。

## 【0121】

また、本実施の形態において陰極材料を透光性とする必要がある場合、これら金属、又はこれら金属を含む合金を非常に薄く形成し、ITO、IZO、ITSO又はその他の透明導電膜（合金を含む）との積層により形成することができる。

## 【0122】

第1の電極又は第2の電極として用いられる陽極材料又は陰極材料を、透光性、又は非透光性とすることにより、電界発光層からの光の射出方向を選択することができる。例えば、第1の電極及び第2の電極を、透光性を有する材料で形成する場合、電界発光層からの光が基板側170及び封止基板側171へ射出する両面発光型の表示を行うことができる。このとき、光の出射方向とならない側に設けられた非透光性の電極に、反射性の高い導電膜を用いることにより光を有効利用することができる。

## 【0123】

これら第1の電極及び第2の電極は蒸着法、スパッタリング法、又は液滴吐出法等により形成することができる。

## 【0124】

またスパッタリング法により、第2の電極として、例えばITO、ITSO、又はそれらの積層体を形成する場合、スパッタリング時、電界発光層にダメージが入る恐れがある。スパッタリングによるダメージを低減するため、酸化モリブデン（MoO<sub>x</sub>: x=2~3）等の酸化物が電界発光層の最上面に形成されると好ましい。そのため、HIL等として機能する酸化モリブデン（MoO<sub>x</sub>: x=2~3）又は酸化チタン（TiO<sub>x</sub>）等の酸化物を電界発光層の最上面に形成し、第1の電極側から順に、EIL（電子注入層）、ETL（電子輸送層）、EML（発光層）、HTL（ホール輸送層）、HIL（ホール注入層）、第2の電極の順に積層すると好適である。すなわち、このように有機材料と無機材料とが混在した電界発光層を形成してもよい。

## 【0125】

特に本実施の形態では、薄膜トランジスタ111の極性がNチャネル型であるため、電子の移動方向を考慮すると、第1の電極を陰極、EIL（電子注入層）、ETL（電子輸送層）、EML（発光層）、HTL（ホール輸送層）、HIL（ホール注入層）、第2の電極を陽極とすると好ましい。

## 【0126】

また本実施の形態において、層間絶縁膜を形成するため高い平坦性を有し、電界発光層へ均一に電圧を印加することができ好ましい。

## 【0127】

その後、第2の電極上に保護膜として、スパッタリング法やCVD法により、窒素を含む絶縁膜、窒素を含む炭素膜（CN<sub>x</sub>）、DLC等を形成してもよい。特に、第2の電極にITSOを用いる場合、保護膜として窒化珪素膜を形成すると好ましい。またこれら無機材料からなる保護膜上に、スチレンポリマー等の有機材料から成る保護膜を積層してもよい。その結果、水分や酸素の侵入を防止することができる。

## 【0128】

以上のように、平坦性を有するように、絶縁膜の開口部に、液滴吐出法を用いて導電膜等を形成することを特徴とする。その結果、導電膜及び絶縁膜を覆って形成する薄膜の段切れを防止することができる。また、開口部の幅を制御することにより、配線の微細化を達成することができる。さらに、開口部の深さを制御することにより、配線の厚膜化を達成

することができる。

#### 【0129】

また本実施の形態で示した薄膜トランジスタは、少なくとも液滴吐出法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程に液滴吐出法を用いれば、その他の導電膜やマスクを形成する工程は液滴吐出法以外を用いてもよい。一工程に液滴吐出法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特に液滴吐出法によりマスクを形成すると、フォトリソグラフィ工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

#### 【0130】

(実施の形態2)

本実施の形態では、上記実施の形態と異なる方法により薄膜トランジスタを作製する例を説明する。具体的には、チャンネル形成領域となる半導体膜上に絶縁膜が設けられた構造が異なり、その他の薄膜トランジスタの構造は上記実施の形態と同様であるため説明を省略する。

#### 【0131】

図10(A)に示すように、上記実施の形態と同様に、基板100上に下地膜1010を形成し、絶縁膜102及び走査線103a、並びにゲート電極を形成し、絶縁膜、走査線、及びゲート電極を覆うようにゲート絶縁膜を形成する。その後、ゲート絶縁膜を介して半導体膜を形成する。このとき、絶縁膜102と、走査線103a、及びゲート電極103bとの表面が揃い、平坦化されているため、段切れすることなくゲート絶縁膜を形成することができる。

#### 【0132】

その後、チャンネル形成領域となる半導体膜上に、保護膜として機能する絶縁膜140を形成する。絶縁膜140は、酸化珪素や、窒化珪素、窒化酸化珪素などの絶縁膜を用いることができる。そして絶縁膜140は、液滴吐出法、プラズマCVD法、又はスパッタリング法等により形成することができる。プラズマCVD法等により全面に絶縁膜を形成するとき、フォトリソグラフィ工程により所望の形状にパターニングする。フォトリソグラフィ工程として、例えば、レジスト等のマスク材を塗布し、ゲート電極をマスクとして、裏面から露光することにより、所望の形状のマスクを形成し、該マスクを用いて絶縁膜をパターニングすることができる。このように、プラズマCVD法により絶縁膜140を形成する場合、半導体膜、保護膜として機能する絶縁膜、さらにゲート絶縁膜を連続形成することができる。

#### 【0133】

また液滴吐出法により絶縁膜140を形成する場合、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となり好ましい。さらに液滴吐出法により絶縁膜を形成すると、フォトリソグラフィ工程の省略を行うことができる。その結果、フォトマスクが不要となり、設備投資コストの削減、コストの削減を達成することができる。さらにフォトリソグラフィ工程を省略できるため、製造時間を短縮することができる。そのため本実施の形態では、液滴吐出法を用いてポリイミド又はポリビニルアルコール等を滴下して絶縁膜140を形成する。

#### 【0134】

その後、絶縁膜140を介して、半導体膜上に一導電型を有する半導体膜を形成する。上記実施の形態と同様に、n型を有する半導体膜を形成する。

#### 【0135】

上記実施の形態と同様に、ソース電極及びドレイン電極と同一レイヤーにおいて信号線及び電源線109aを形成する。信号線及び電源線と走査線との交差部に、絶縁膜112を形成し、ショートを防止する。該絶縁膜は、上記絶縁膜102と同様に形成することができる。本実施の形態では、液滴吐出法によりポリイミドを滴下して形成する。

#### 【0136】



その後、ソース電極及びドレイン電極をマスクとして、N型を有する半導体膜をエッチングする。N型を有する半導体膜が、ソース電極及びドレイン電極を短絡することを防止するためである。このとき、絶縁膜140により、半導体膜がエッチングされることを防止できる。

#### 【0137】

以上のように、ソース電極及びドレイン電極まで設けられた薄膜トランジスタ110、111が完成する。このとき薄膜トランジスタ110、111において、薄膜トランジスタ110のソース電極又はドレイン電極109bと、薄膜トランジスタ111のゲート電極は、接続配線を介すことなく直接接続している構造は、上記実施の形態と同様である。特に表示装置の画素部にこれら薄膜トランジスタを形成する場合、薄膜トランジスタ110はスイッチングとして機能し、薄膜トランジスタ111は電界発光層の発光輝度を制御する駆動用として機能する。

#### 【0138】

本実施の形態の薄膜トランジスタは、半導体膜より下方にゲート電極が設けられた、所謂ボトムゲート型の薄膜トランジスタである。より詳細には、半導体膜上に保護膜が設けられている、所謂チャンネル保護型である。このような薄膜トランジスタが複数設けられた基板をTF T基板と表記する。

#### 【0139】

その後、上記実施の形態と同様に、絶縁膜113及び導電膜114、画素電極115を形成する。このようにして、画素電極まで設けられたモジュール用TF T基板が完成する。

#### 【0140】

次いで、上記実施の形態と異なり、画素電極115の端部を覆うように樹脂141を形成する。樹脂141はブラックマトリクスとして機能させるため、黒色を有し、例えばクロムを有する樹脂から形成する。樹脂141は、フォトリソグラフィ法によりパターンニングして形成したり、液滴吐出法により形成することができる。本実施の形態では、液滴吐出法により、樹脂の材料が混在する液滴を吐出して樹脂141を形成する。このとき、画素電極の周囲をアライメントとして、描画することができる。

#### 【0141】

その後、樹脂141上に、土手又は隔壁として機能する絶縁膜118を形成する。絶縁膜118の材料や作製工程は、上記実施の形態を参照すればよい。絶縁膜118を液滴吐出法により形成する場合、樹脂141をアライメントとして、描画することができる。

#### 【0142】

次いで、上記実施の形態と同様に、電界発光層119、第2の電極120を形成する。

#### 【0143】

また土手又は隔壁として機能できるような高さに、樹脂141を形成する場合、絶縁膜118は形成する必要はない。

#### 【0144】

またチャンネル保護型の薄膜トランジスタに代えて、上記実施の形態で示したチャンネルエッチ型の薄膜トランジスタとしてもよい。もちろん、上記実施の形態と同様に、樹脂141を形成することなく絶縁膜118、電界発光層119、第2の電極120を形成してもよい。すなわち、本実施の形態は上記実施の形態と自由に組み合わせることができる。

#### 【0145】

以上のように、平坦性を有するように、絶縁膜の開口部に、液滴吐出法を用いて導電膜等を形成することを特徴とする。その結果、導電膜及び絶縁膜を覆って形成する薄膜の段切れを防止することができる。また、開口部の幅を制御することにより、配線の微細化を達成することができる。さらに、開口部の深さを制御することにより、配線の厚膜化を達成することができる。

#### 【0146】

また本実施の形態で示した薄膜トランジスタは、少なくとも液滴吐出法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマ



スクを形成する一工程に液滴吐出法を用いれば、その他の導電膜やマスクを形成する工程は液滴吐出法以外を用いてもよい。一工程に液滴吐出法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特に液滴吐出法によりマスクを形成すると、フォトリソグラフィ工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

#### 【0147】

##### (実施の形態3)

本実施の形態では、上記実施の形態と異なる方法により薄膜トランジスタを作製する例を説明する。具体的には、半導体膜とゲート絶縁膜とを同時にパターンニングすることなく薄膜トランジスタを形成する工程が異なり、その他の薄膜トランジスタの構造及び工程は上記実施の形態と同様であるため説明を省略する。

#### 【0148】

図11(A)に示すように、上記実施の形態と同様に、基板100上に下地膜1010を形成し、絶縁膜102及び走査線103a、並びにゲート電極を形成し、絶縁膜、走査線、及びゲート電極を覆うようにゲート絶縁膜を形成する。このとき、絶縁膜102と、走査線103a、及びゲート電極103bとの表面が揃い、平坦化されているため、段切れすることなくゲート絶縁膜を形成することができる。ゲート絶縁膜を介して半導体膜、及びN型を有する半導体膜を形成する。その後、所望の形状に半導体膜、及びN型を有する半導体膜をパターンニングする。このときゲート絶縁膜はエッチングしないように制御する。

#### 【0149】

その後、信号線及び電源線109a、ソース電極並びにドレイン電極を同一レイヤーに形成する。本実施の形態は、上記実施の形態と異なり半導体膜及びN型を有する半導体膜と同時にゲート絶縁膜をエッチングしないため、走査線と、信号線又は電源線との交差部には、ゲート絶縁膜が形成されている。そのため、絶縁膜112を形成する必要がない。

#### 【0150】

その後、ソース電極及びドレイン電極をマスクとして、N型を有する半導体膜をエッチングする。N型を有する半導体膜が、ソース電極及びドレイン電極を短絡することを防止するためである。このとき、半導体膜108が多少エッチングされることがある。

#### 【0151】

以上のように、ソース電極及びドレイン電極まで設けられた薄膜トランジスタ110、111が完成する。特に表示装置の画素部にこれら薄膜トランジスタを形成する場合、薄膜トランジスタ110はスイッチングとして機能し、薄膜トランジスタ111は電界発光層の発光輝度を制御する駆動用として機能する。

#### 【0152】

本実施の形態の薄膜トランジスタは、半導体膜より下方にゲート電極が設けられた、所謂ボトムゲート型の薄膜トランジスタである。より詳細には、半導体膜が多少エッチングされている、所謂チャネルエッチ型である。このような薄膜トランジスタが複数設けられた基板をTFT基板と表記する。

#### 【0153】

チャネルエッチ型の薄膜トランジスタに代えて、上記実施の形態で示したチャネル保護型の薄膜トランジスタとしてもよい。すなわち、本実施の形態は上記実施の形態と自由に組み合わせることができる。

#### 【0154】

図11(B)に示すように、上記実施の形態と同様に、絶縁膜113及び導電膜114を形成する。このとき薄膜トランジスタ110、111において、薄膜トランジスタ110のソース電極又はドレイン電極109bと、薄膜トランジスタ111のゲート電極とを接続するため、ゲート絶縁膜に開口部を形成する。薄膜トランジスタ110のソース電極又はドレイン電極109bと、薄膜トランジスタ111のゲート電極とを接続するための接続配線として、開口部には導電膜114を形成する。またソース電極又はドレイン電極を

形成することにより、接続配線を介すことなく、薄膜トランジスタ110のソース電極又はドレイン電極109bと、薄膜トランジスタ111のゲート電極と接続してもよい。

#### 【0155】

その後、上記実施の形態と同様に、画素電極115を形成する。このようにして、画素電極まで設けられたモジュール用TF T基板が完成する。

#### 【0156】

その後、土手又は隔壁として機能する絶縁膜118、電界発光層119、第2の電極120を形成する。絶縁膜、電界発光層、及び第2の電極の材料や作製工程は、上記実施の形態を参照すればよい。

#### 【0157】

また、上記実施の形態で示したように、ブラックマトリクスとして機能する樹脂を形成してもよい。すなわち、本実施の形態は上記実施の形態と自由に組み合わせることができる。

#### 【0158】

以上のように、平坦性を有するように、絶縁膜の開口部に、液滴吐出法を用いて導電膜等を形成することを特徴とする。その結果、導電膜及び絶縁膜を覆って形成する薄膜の段切れを防止することができる。また、開口部の幅を制御することにより、配線の微細化を達成することができる。さらに、開口部の深さを制御することにより、配線の厚膜化を達成することができる。

#### 【0159】

また本実施の形態で示した薄膜トランジスタは、少なくとも液滴吐出法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程に液滴吐出法を用いれば、その他の導電膜やマスクを形成する工程は液滴吐出法以外を用いてもよい。一工程に液滴吐出法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特に液滴吐出法によりマスクを形成すると、フォトリソグラフィ工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

#### 【0160】

##### (実施の形態4)

本実施の形態では、上記実施の形態と異なる方法により薄膜トランジスタを作製する例を説明する。具体的には、半導体膜の下側に、ゲート電極、及びソース電極並びにドレイン電極を設ける構造が異なり、その他の薄膜トランジスタの構造及び作製工程は上記実施の形態と同様であるため説明を省略する。

#### 【0161】

図12(A)に示すように、上記実施の形態と同様に、基板100上に下地膜1010を形成し、絶縁膜102を形成する。上記実施の形態と異なり、絶縁膜102間には信号線及び電源線109a、及びソース電極並びにドレイン電極109bとして機能する導電膜109を形成する。

#### 【0162】

本実施の形態では、ドライエッチングにより所望の領域に開口部を形成し、凹部と凸部を有する絶縁膜を形成する。また、ソース電極及びドレイン電極を形成する領域の開口部は、幅 $10\mu\text{m}$ ～ $40\mu\text{m}$ とし、信号線又は電源線を形成する領域の開口部は、幅 $5\mu\text{m}$ ～ $40\mu\text{m}$ 、外部端子へ引き回す配線(図示しない)を形成する領域の開口部は、幅 $20\mu\text{m}$ ～ $100\mu\text{m}$ となるように形成する。また開口部の深さは、 $1.5\mu\text{m}$ ～ $2.5\mu\text{m}$ となるように形成する。

#### 【0163】

このような線幅 $5\mu\text{m}$ ～ $100\mu\text{m}$ の配線を形成する場合、液滴量は $0.1\text{pl}$ ～ $40\text{pl}$ とし、開口部の深さを満たすように複数回滴下するとよい。

#### 【0164】

上記実施の形態と同様に、導電膜109の高さと、絶縁膜の凸部の高さを揃えると好まし

い。そのため、導電膜 109 の高さが絶縁膜の凸部の高さより高い場合、平坦化処理を行うとよい。

#### 【0165】

一方、加熱処理により、導電膜の体積が収縮し、導電膜 109 の高さが絶縁膜の凸部の高さより低くなる場合、再度、液滴を滴下すればよい。

#### 【0166】

その後、絶縁膜 102 及び導電膜 109 を覆うように絶縁膜 136 を形成すると好ましい。絶縁膜 136 は、酸化珪素又は窒化珪素から形成することができる。特に本実施の形態のように、導電膜 109 に銀 (Ag) を用いる場合、酸素を有する絶縁膜を用いると、銀 (Ag) と反応し、酸化銀が形成されゲート電極表面が荒れる恐れがあるため、絶縁膜 136 は窒化珪素から形成するとよい。

#### 【0167】

次いで、半導体膜 108 を形成し、所望の形状にパターニング後、半導体膜を覆うようにゲート絶縁膜 106 を形成する。半導体膜、及びゲート絶縁膜の材料及び作製工程は、上記実施の形態を参照することができる。

#### 【0168】

図 12 (B) に示すように、絶縁膜 136 及びゲート絶縁膜 106 をエッチングして開口部を形成する。開口部には、ゲート電極 103b として機能する導電膜を形成する。ゲート電極と同一レイヤーに走査線 103a として機能する導電膜を形成する。これら導電膜 103 は、上記実施の形態を参照して形成することができる。

#### 【0169】

このとき、ゲート電極の線幅は  $5\mu\text{m} \sim 20\mu\text{m}$  とし、走査線の線幅は幅  $10\mu\text{m} \sim 40\mu\text{m}$  とし、外部端子へ引き回す配線 (図示しない) の線幅は  $20\mu\text{m} \sim 100\mu\text{m}$  となるように形成する。この場合、ゲート電極の幅 (チャネル長) が  $5\mu\text{m} \sim 20\mu\text{m}$  となっている。またこのように液滴吐出法により線幅  $5\mu\text{m} \sim 100\mu\text{m}$  の配線を形成する場合、液滴量は  $0.1\text{pl} \sim 40\text{pl}$  とする。このとき、ノズルに送られる制御用信号 (例えばパルス電圧印加) によって、液滴量を制御することができる。例えば、線幅  $5\mu\text{m}$  とする場合、ノズル 104 からの液滴量は、 $0.1\text{pl}$  となるように制御すればよい。但し、配線の被形成面と液滴との接触角でも配線幅は制御することができる。

#### 【0170】

本実施の形態において、ゲート電極、及び走査線を形成する場合であっても、ソース電極及びドレイン電極等と同様に、絶縁膜に開口部を形成し、該開口部間にゲート電極、及び走査線を形成してもよい。

#### 【0171】

以上のように、ゲート電極まで設けられた薄膜トランジスタ 110、111 が完成する。このとき薄膜トランジスタ 110、111 において、薄膜トランジスタ 110 のソース電極又はドレイン電極 109b と、薄膜トランジスタ 111 のゲート電極は、接続配線を介すことなく、薄膜トランジスタ 111 が有するゲート電極により接続している。特に表示装置の画素部にこれら薄膜トランジスタを形成する場合、薄膜トランジスタ 110 はスイッチングとして機能し、薄膜トランジスタ 111 は電界発光層の発光輝度を制御する駆動用として機能する。

#### 【0172】

本実施の形態の薄膜トランジスタは、半導体膜より上方にゲート電極が設けられた、所謂トップゲート型の薄膜トランジスタである。このような薄膜トランジスタが複数設けられた基板を TFT 基板と表記する。

#### 【0173】

また別の開口部には、画素電極 115 を形成する。画素電極 115 は、上記実施の形態を参照して形成することができる。本実施の形態では、上記実施の形態と異なり、絶縁膜 113 及び導電膜 114 を形成しない。そのため、半導体素子を薄膜化することができる。

#### 【0174】



トップゲート型の薄膜トランジスタに代えて、図 21 に示すように、上記実施の形態で示したボトムゲート型の薄膜トランジスタとしてもよい。図 21 においてチャネルエッチ型の薄膜トランジスタを用いて TFT 基板を形成している。すなわち、本実施の形態は上記実施の形態と自由に組み合わせることができる。

【0175】

このようにして、画素電極まで設けられたモジュール用 TFT 基板が完成する。

【0176】

図 12 (C) に示すように、土手又は隔壁として機能する絶縁膜 118、電界発光層 119、及び第 2 の電極 120 を形成する。絶縁膜、電界発光層、及び第 2 の電極は、上記実施の形態を参照して形成することができる。特に本実施の形態のように、銀 (Ag) をゲート電極として用いる場合、ゲート電極を覆って、窒化珪素からなる絶縁膜 (図示しない) を形成すると好ましい。酸素を有する絶縁膜と銀 (Ag) を有するゲート電極とが接すると、銀 (Ag) と反応し、酸化銀が形成されゲート電極表面が荒れる恐れがあるからである。

【0177】

また、上記実施の形態で示したように、ブラックマトリクスとして機能する樹脂を、絶縁膜 118 の下方に形成してもよい。すなわち、本実施の形態は上記実施の形態と自由に組み合わせることができる。

【0178】

以上のように、平坦性を有するように、絶縁膜の開口部に、液滴吐出法を用いて導電膜等を形成することを特徴とする。その結果、導電膜及び絶縁膜を覆って形成する薄膜の段切れを防止することができる。また、開口部の幅を制御することにより、配線の微細化を達成することができる。さらに、開口部の深さを制御することにより、配線の厚膜化を達成することができる。

【0179】

また本実施の形態で示した薄膜トランジスタは、少なくとも液滴吐出法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程に液滴吐出法を用いれば、その他の導電膜やマスクを形成する工程は液滴吐出法以外を用いてもよい。一工程に液滴吐出法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特に液滴吐出法によりマスクを形成すると、フォトリソグラフィ工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

【0180】

(実施の形態 5)

本実施の形態では、カラーフィルターを設けたモジュール用 TFT 基板について説明する。

【0181】

図 13 (A) に示すように、実施の形態 1 に基づき、薄膜トランジスタ 110、111 を形成する。このような薄膜トランジスタが複数設けられた基板を TFT 基板と表記する。

【0182】

本実施の形態では、絶縁膜 102 の開口部であって、電界発光層の下方にカラーフィルター 135 を形成する。カラーフィルターは、各 RGB 色を有する有機材料から形成される。またカラーフィルターは、液滴吐出法、又はフォトリソグラフィ法により形成することができる。本実施の形態では、導電膜 103 を液滴吐出法で形成するとき、カラーフィルターの材料が混入された液滴を吐出してカラーフィルターを形成する。

【0183】

さらに各 RGB の電界発光層を形成する場合、カラーフィルターにより、各 RGB の発光スペクトルにおけるブロードなピークを鋭くなるように補正することができる。

【0184】

その後、上記実施の形態と同様に、画素電極 115 を形成し、モジュール用 TFT 基板が

完成する。次いで、電界発光層、及び第2の電極を、上記実施の形態を参照して形成することができる。

#### 【0185】

図13(B)は、カラーフィルター135を絶縁膜113の開口部に形成する構造が、図13(A)と異なっている。またさらに、薄膜トランジスタ110のソース電極又はドレイン電極と、薄膜トランジスタ111のゲート電極とを接続するように、補助配線として機能する導電膜113を形成している構造が図13(A)と異なっている。接続領域上に導電膜113を形成することにより、コンタクト不良を低減することができる。

#### 【0186】

チャネルエッチ型の薄膜トランジスタに代えて、上記実施の形態で示したチャネル保護型、又はトップゲート型の薄膜トランジスタとしてもよい。また、上記実施の形態で示したように、ブラックマトリクスとして機能する樹脂を、土手又は隔壁として機能する絶縁膜の下方に形成してもよい。またさらに、絶縁膜113及び導電膜114を形成せずに、土手又は隔壁として機能する絶縁膜を形成してもよい。その結果、半導体素子の薄膜化を達成することができる。すなわち、本実施の形態は上記実施の形態と自由に組み合わせることができる。

#### 【0187】

(実施の形態6)

本実施の形態では、上記実施の形態に示したモジュール用基板を封止する構造の一例について説明する。

#### 【0188】

図14(A)は、封止されたモジュール用基板の断面図を示しており、シール剤153により、基板100と対向基板151とが張り合わせられている。シール剤は、熱硬化樹脂又は紫外線硬化樹脂からなり、圧力を加えながら加熱したり、紫外線を照射して第1の基板と第2の基板とを接着、固定させる。例えば、シール剤としてエポキシ系樹脂を用いることができる。シール剤には、スペーサが混入されており、基板100と対向基板151との間隔、いわゆるギャップを保持している。スペーサとしては、球状又は柱状の形状を有しているものが使用され、本実施の形態では、円柱状のスペーサを使用し、円の直径がギャップとなる。対向基板には、乾燥剤152を設けてもよい。乾燥剤により、水分や酸素の侵入を防止することができる。またさらに、対向基板にカラーフィルターを形成してもよい。カラーフィルターにより、各RGBの発光スペクトルにおいてブロードなピークを鋭くなるように補正できるからである。電界発光層からの光が基板側170及び封止基板側171へ射出する両面発光型の表示を行う場合、両基板へカラーフィルターを設けてもよい。

#### 【0189】

対向基板151で封止すると、第2の電極120との間に空間が形成される。空間には、不活性ガス、例えば窒素ガスを充填したり、吸水性の高い材料を形成して、さらに水分や酸素の侵入の防止を高めることができる。また透光性を有し、吸水性の高い樹脂を形成してもよい。透光性を有する樹脂により、発光素子からの光が第2の基板側へ出射される場合であっても、透過光を低減することなく形成することができる。

#### 【0190】

本実施の形態において、上記実施の形態で示したように、非晶質半導体膜を用いて薄膜トランジスタを形成しているため、信号線駆動回路又は走査線駆動回路は、ICチップ162により形成する。このような駆動回路は、TAB方式により実装される場合と、画素部の周辺にCOG方式により実装される。また、SASを用いて薄膜トランジスタを形成する場合、走査線駆動回路のみを基板上に一体形成し信号線駆動回路を別途ドライバICとして実装することができる。

#### 【0191】

次に、信号線駆動回路605及び走査線駆動回路604a、604bの実装について、図22を用いて具体的に説明する。

## 【0192】

図22 (A) に示すように、画素部603の周辺に信号線駆動回路605、及び走査線駆動回路604a、604bを実装する。図22 (A) では、信号線駆動回路605、及び走査線駆動回路604a、604b等として、COG方式により、基板100上にICチップ162を実装する。そして、FPC (フレキシブルプリントサーキット) 161を介して、ICチップと外部回路とを接続する。

## 【0193】

また、図22 (B) に示すように、SASや結晶性半導体でTFTを形成する場合、画素部603と走査線駆動回路604等を基板上に一体形成し、信号線駆動回路605等を別途ICチップとして実装する場合がある。図22 (B) において、信号線駆動回路605として、COG方式により、基板100上にICチップ162を実装する。そして、FPC 161を介して、ICチップと外部回路とを接続する。

## 【0194】

またさらに図22 (C) に示すように、COG方式に代えて、TAB方式により信号線駆動回路605等を実装する場合がある。そして、FPC 161を介して、ICチップと外部回路とを接続する。図22 (C) において、信号線駆動回路をTAB方式により実装しているが、走査線駆動回路をTAB方式により実装してもよい。

## 【0195】

ICチップをTAB方式により実装すると、基板に対して画素部を大きく設けることができ、狭額縁化を達成することができる。

## 【0196】

ICチップは、シリコンウェハを用いて形成するが、ICチップの代わりにガラス基板上にICを形成したIC (以下、ドライバICと表記する) を設けてもよい。ICチップは、円形のシリコンウェハからICチップを取り出すため、母体基板形状に制約がある。一方ドライバICは、母体基板がガラスであり、形状に制約がないため、生産性を高めることができる。そのため、ドライバICの形状寸法は自由に設定することができる。例えば、ドライバICの長辺の長さを15~80mmとして形成すると、ICチップを実装する場合と比較し、必要な数を減らすことができる。その結果、接続端子数を低減することができる、製造上の歩留まりを向上させることができる。

## 【0197】

ドライバICは、基板上に形成された結晶質半導体を用いて形成することができ、結晶質半導体は連続発振型のレーザー光を照射することで形成するとよい。連続発振型のレーザー光を照射して得られる半導体膜は、結晶欠陥が少なく、大粒径の結晶粒を有する。その結果、このような半導体膜を有するトランジスタは、移動度や応答速度が良好となり、高速駆動が可能となり、ドライバICに好適である。

## 【0198】

本実施の形態は、ICチップ162により形成される信号線駆動回路は、TAB方式によりFPC 161上に設置され、異方性導電膜160を介して薄膜トランジスタ110、111と接続する。また加圧や加熱により異方性導電膜を接着するときに、基板のフレキシブル性や加熱による軟化のため、クラックが生じないように注意する。このようにして接続されたICチップから、ビデオ信号やクロック信号を受け取る。

## 【0199】

図14 (B) には、図14 (A) と異なり、対向基板を用いず封止する場合を示す。その他の構造は同様であるため、説明を省略する。

## 【0200】

図14 (B) には、第2の電極120を覆って、保護膜155が設けられている。第2の保護膜として、エポキシ樹脂、ウレタン樹脂、又はシリコン樹脂等の有機材料を用いることができる。また第2の保護膜は、液滴吐出法によりポリマー材料を滴下して形成してもよい。本実施の形態では、デイスペンサを用いてエポキシ樹脂を吐出し、乾燥させる。さらに保護膜上に、対向基板を設けてもよい。



## 【0201】

このように対向基板を用いず封止すると、表示装置の軽量化、小型化、薄膜化を向上させることができる。

## 【0202】

図18(A)には、図14に示す封止された発光装置の上面からみた外観を示し、FPCを介してコントロール回路601a及び電源回路602が実装されている。図18(A)におけるD-D'の断面図が図14に相当しており、基板100上には、上記実施の形態で示したように発光素子が各画素に設けられた画素部603が設けられている。もちろん、発光素子に代えて液晶素子を設けてもよい。画素部603が有する薄膜トランジスタは、上記実施の形態のよう形成することができる。

## 【0203】

図18において画素部603が有する画素を選択する走査線駆動回路604と、選択された画素にビデオ信号を供給する信号線駆動回路605とはICチップを用いて形成され、TAB方式により実装されている。実装するICの長辺、短辺の長さやその個数は、本実施の形態に限定されない。また上述のように、走査線駆動回路や信号線駆動回路は、薄膜トランジスタの結晶状態によって画素部と一体形成することができる。例えば、走査線駆動回路が有するバッファ回路を同一基板上に一体形成することができる。

## 【0204】

プリント基板607にはコントロール回路601a、電源回路602、映像信号処理回路609a、ビデオRAM610a、オーディオ用回路611aが設けられている。電源回路602から出力された電源電圧、また、コントロール回路601a、映像信号処理回路609a、ビデオRAM610a、オーディオ用回路611aからの各種信号はFPC161を介して走査線駆動回路604、信号線駆動回路605に供給され、さらに画素部603へ供給される。

## 【0205】

またプリント基板607の電源電圧及び各種信号は、複数の入力端子が配置されたインターフェース(I/F)部608を介して供給される。映像信号処理回路609aは、インターフェース(I/F)部608から信号が入力される。さらに映像信号処理回路609aはビデオRAM610aと相互に信号のやりとりを行う。

## 【0206】

本実施の形態ではプリント基板607がFPC161を用いて実装されているが、必ずしもこの構造に限定されない。COG(Chip on Glass)方式を用い、コントロール回路601a、電源回路602を直接基板上に実装させるようにしてもよい。また信号線駆動回路や走査線駆動回路等のICチップの実装方法は、本実施の形態に限定されず、基板上に形成されたICチップをワイヤボンディング法により、画素部の配線と接続してもよい。

## 【0207】

また、プリント基板607において、引き回しの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント基板607にコンデンサ、バッファ等の各種素子を設けて、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防ぐようにしてもよい。

## 【0208】

コントラストを高めるため、モジュールの少なくとも画素部に偏光板、又は円偏光板を備えるとよい。例えば、E-E'の断面に相当する図18(B)に示すように、封止基板側から表示を認識する場合、封止基板650から順に、 $1/4\lambda$ 板651、 $1/2\lambda$ 板652、偏光板653を設けるとよい。さらに偏光板上に反射防止膜654を設けてもよい。

## 【0209】

このようなモジュールを電子機器の筐体に設置し、商品として完成することができる。筐体内には、モジュールの発熱を防ぐため、ヒートシンク等を設けるとよい。

## 【0210】

## (実施の形態 7)

本実施の形態では、絶縁膜及び導電膜等の形成方法について説明する。なお本実施の形態において、半導体膜等に対するノズルの大きさは、模式的なものであり、実際とは異なる場合がある。

## 【0211】

図5 (A) に示すように、絶縁膜102を形成後、所望の領域に開口部130を形成する。上記実施の形態と同様に、ゲート電極を形成する領域の開口部は、幅 $5\mu\text{m} \sim 20\mu\text{m}$ とし、走査線を形成する領域の開口部は、幅 $10\mu\text{m} \sim 40\mu\text{m}$ 、外部端子へ引き回す配線(図示しない)を形成する領域の開口部は、幅 $20\mu\text{m} \sim 100\mu\text{m}$ となるように形成する。この場合、ゲート電極の幅(チャンネル長)が $5\mu\text{m} \sim 20\mu\text{m}$ となっている。また開口部の深さは、 $1.5\mu\text{m} \sim 2.5\mu\text{m}$ となるように形成する。

## 【0212】

図5 (B) は、図5 (A) におけるC-Dに対する断面図を示しており、基板100上に下地膜101を形成し、下地膜上に絶縁膜102を形成する。絶縁膜102に対して、ドライエッチング法又はウェットエッチング法により開口部130を形成する。

## 【0213】

次いで図5 (C) に示すように、ノズル104から導電膜材料を有する液滴を吐出しながら走査して、走査線103a、及びゲート電極103bを形成する。

## 【0214】

また図5 (D) に示すように、開口部上にノズル104がくると、制御用信号をオンとし、吐出するように制御する。このように、所望の位置にノズルがくると、制御用信号をオンとすることで選択的にパターンを形成することが可能となる。

## 【0215】

すなわち、図5では、絶縁膜に開口部を形成後、液滴吐出法により、開口部に走査線及びゲート電極等の導電膜を形成することを特徴とする。

## 【0216】

図5では、ゲート電極及びゲート配線103bに着目して説明したが、引き回し配線や走査線に対して作製工程を用いてもよい。

## 【0217】

次に、図5と異なり、液滴吐出法により、絶縁膜と導電膜を同時に形成する場合を説明する。

## 【0218】

図6 (A) に示すように、絶縁膜材料を有する液滴、及び導電膜材料を有する液滴を、同時にノズル104から吐出する。そのため、ノズル104は、絶縁膜材料及び導電膜材料を有する液滴を滴下するように設計する。このとき、所望の領域にノズルがくると、各制御信号がオンとなるように設定し、選択的に各パターンを形成することが可能となる。例えば図6 (B) に示すように、一つのヘッドに設けられた複数のノズルにおいて、絶縁膜材料を有するノズル104a、導電膜材料を有するノズル104bを設ける。そして所望の領域にノズルがくると、各制御信号がオンとなるように設定する。なお図6 (B) は図6 (A) におけるE-Fに対する断面図を示している。

## 【0219】

また図7 (A) 及び図7 (B) に示すように、二つのヘッドを設置し、各ヘッドが有するノズル104a、104bにおいて、絶縁膜材料を有するノズル及び導電膜材料を有するノズル専用とする。なお図7 (B) は図7 (A) におけるC-Dに対する断面図を示している。この場合であっても、所望の領域にノズルがくると、各制御信号がオンとなるように設定する。

## 【0220】

このように専用のノズルを設置することにより、各材料を設ける領域を自由に設定することができる。

## 【0221】

また隣り合う異種パターンを同時に形成するため、パターン同士が支え合い、パターンのくずれを防止することができる。そのため、配線を形成についてみると、液滴吐出法のみから配線を形成する場合と比較し、厚膜化した配線を簡便に形成することが可能となる。

#### 【0222】

図6及び図7では、ゲート電極及びゲート配線103bに着目して説明したが、引き回し配線や走査線に対して作製工程を用いるとよい。引き回し配線や走査線は、ゲート電極と比較して配線幅が広いので、ノズルからの液滴量を多くすると、スループットを向上することができる。

#### 【0223】

次に、図5乃至図7と異なり、液滴吐出法により、絶縁膜及び導電膜を別に形成する場合を説明する。別に形成する場合、絶縁膜及び導電膜のいずれを先に形成してもよいが、本実施の形態では、絶縁膜を先に形成する。その結果、微細な導電膜を先に形成する場合と比較し、導電膜パターンのくずれを防止することが期待できる。

#### 【0224】

図8(A)に示すように、下地膜101を形成した基板100に対して、ノズル104から絶縁膜材料を有する液滴を選択的に吐出する。このとき、所望の領域にノズルがくると、各制御信号がオンとなるように設定する。なお図8(B)は図8(A)におけるC-Dに対する断面図を示している。

#### 【0225】

絶縁膜を形成した後、液滴中の溶媒を除去する焼成のため加熱処理を行う。具体的には、200℃～300℃で加熱する。これを本焼成と表記する。また、上記加熱処理では、ある程度の溶媒を除去し、液滴着弾直後と比較し、絶縁膜の形状を硬化できればよいので、100℃～200℃といった低温で加熱してもよい。これを仮焼成と表記する。またさらに、加熱することなく自然放置し、乾燥させるだけでも構わない。そして、後に形成される導電膜に対する加熱と同時に本焼成を行えばよい。

#### 【0226】

その後、図8(C)に示すように、ノズル104から導電膜材料を有する液滴を吐出する。このとき、所望の領域にノズルがくると、各制御信号がオンとなるように設定する。なお図8(C)は図8(D)におけるC-Dに対する断面図を示している。

#### 【0227】

導電膜を形成した後、液滴中の溶媒を除去する焼成のため加熱処理を行う。具体的には、200℃～300℃で加熱する。これを本焼成と表記する。このとき同時に、絶縁膜の本焼成を行うことができる。また導電膜に対する加熱処理は、酸素を有する雰囲気で行うと好ましい。特に、銀(Ag)を有する液滴を用いる場合、酸素及び窒素を有する雰囲気で行うとよいことは上述の通りである。その結果、ゲート電極表面の平坦性を高め、比抵抗値を低くすることができる。

#### 【0228】

また絶縁膜又は導電膜を形成する前に、着弾精度を高めたり、選択的なパターン形成を簡便にするため、撥液処理又は親液処理を行ってもよい。例えば、空気、酸素又は窒素を処理ガスとして用いたプラズマ処理を行うことにより撥液処理又は親液処理を行うことができる。

#### 【0229】

撥液処理及び親液処理のいずれを行うかは、液滴の溶媒によって決定することができる。特に、開口部に導電膜を形成する場合であって、導電膜を有する液滴の溶媒がアルコール系であるとき、絶縁膜表面に撥液処理を行い、開口部（開口部の側面を含む）に親液処理を行うと好ましい。その結果、精度よく、簡便に、液滴吐出法により導電膜を形成することができる。

#### 【0230】

また、絶縁膜材料を有する液滴に対して撥液性を示す液滴を用いて、導電膜を薄く形成することにより、着弾精度を高めたり、選択的なパターン形成を簡便にすることができる。



具体的には、絶縁膜材料を有する液滴に対して撥液性を示す液滴を用い、導電膜を形成する領域に選択的に薄く吐出し、撥液性領域を形成する。また、導電膜を形成するパターンの始点にのみ、選択的に形成するだけでもよい。また、絶縁膜材料を有する液滴に対して撥液性を示す液滴は、導電膜材料を有する液滴とする。

#### 【0231】

その後、絶縁膜材料を有する液滴を吐出すると、撥液性領域を除いて絶縁膜が形成される。そのため、絶縁膜は、導電膜を形成する領域に開口部を有するように形成されるため、絶縁膜の選択的な形成が簡便なものとなる。また、絶縁膜材料を有する液滴が、多少ずれ滴下した場合であっても、液滴は撥液性領域に滴下しにくく、液滴は撥液性領域外に凝集する。その結果、多少のずれを修正することができ、着弾精度が高まる。その後、開口部に導電膜材料を有する液滴を吐出することにより、導電膜を形成することができる。上述のように絶縁膜と導電膜を形成する間に、加熱工程を設けてもよい。

#### 【0232】

このような撥液性領域は、導電膜形成領域ではなく、絶縁膜形成領域に設けてもよい。特に、後に設けるパターン形成領域に対して、該パターンを薄く形成するとよい。またさらに、上記プラズマ処理と合わせて用いてもよい。

#### 【0233】

図8では、ゲート電極及びゲート配線103bに着目して説明したが、引き回し配線や走査線に対して作製工程を用いるとよい。

#### 【0234】

次に、液滴吐出法により、層間絶縁膜113、導電膜114を形成する場合を説明する。

#### 【0235】

図9(A)に示すように、信号線及び電源線109aを形成した状態で、ノズル104から層間絶縁膜材料を有する液滴を選択的に吐出する。このとき、所望の領域にノズルがくると、各制御信号がオンとなるように設定する。なお図9(B)は図9(A)におけるG-Hに対する断面図を示している。

#### 【0236】

層間絶縁膜を形成した後、液滴中の溶媒を除去する焼成のため加熱処理を行う。具体的には、200℃～300℃で本焼成を行う。また、上記加熱処理では、ある程度の溶媒を除去し、液滴着弾直後と比較し、絶縁膜の形状を硬化できればよい。ため、100℃～200℃といった低温で仮焼成するだけでもよい。またさらに、加熱することなく自然放置し、乾燥させるだけでも構わない。そして、後に形成される導電膜に対する加熱と同時に本焼成を行えばよい。

#### 【0237】

その後、図9(C)に示すように、ノズル104から導電膜材料を有する液滴を吐出する。このとき、所望の領域にノズルがくると、各制御信号がオンとなるように設定する。なお図9(D)は図9(C)におけるG-Hに対する断面図を示している。

#### 【0238】

導電膜114を形成した後、液滴中の溶媒を除去する焼成のため加熱処理を行う。具体的には、200℃～300℃で加熱する。これを本焼成と表記する。このとき同時に、絶縁膜の本焼成を行うことができる。また導電膜に対する加熱処理は、酸素を有する雰囲気で行うと好ましい。特に、銀(Ag)を有する液滴を用いる場合、酸素及び窒素を有する雰囲気で行うとよいことは上述の通りである。その結果、ゲート電極表面の平坦性を高め、比抵抗値を低くすることができる。

#### 【0239】

図9において、図5に示したように、層間絶縁膜113に対してドライエッチング法又はウェットエッチング法により開口部を形成し、液滴吐出法により導電膜材料を有する液滴を吐出してもよい。

#### 【0240】

図9において、図6及び図7に示したように、液滴吐出法により、層間絶縁膜113と導

電膜 114 を同時に形成してもよい。

【0241】

以上、図 5 乃至図 9 において、例えば幅  $5\mu\text{m} \sim 100\mu\text{m}$  の開口部に配線を形成する場合、液滴量は  $0.1\text{pl} \sim 40\text{pl}$  とし、開口部の深さを満たすように複数回滴下するとよい。このとき、ノズルに送られる制御用信号（例えばパルス電圧印加）によって、液滴量を制御することができる。

【0242】

次に、液滴吐出法により、ブラックマトリクス 141 及び絶縁膜 118 を形成する場合を説明する。なお、薄膜トランジスタの構造は、実施の形態 2 を参照することができる。

【0243】

図 15 (A) に示すように、画素電極 115 を形成した状態で、ノズル 104 からブラックマトリクス材料を有する液滴を選択的に吐出する。このとき、画素電極の周囲をアライメントとして、描画することができる。このとき、所望の領域にノズルがくると、各制御信号がオンとなるように設定する。なお図 15 (B) は図 15 (A) における I-J に対する断面図を示している。

【0244】

ブラックマトリクスを形成した後、液滴中の溶媒を除去する焼成のため加熱処理を行ってもよい。また、上記加熱処理では、ある程度の溶媒を除去し、液滴着弾直後と比較し、絶縁膜の形状を硬化できればよい。低温で仮焼成するだけでもよい。またさらに、加熱することなく自然放置し、乾燥させるだけでも構わない。そして、後に形成される絶縁膜と同時に加熱処理を行えばよい。

【0245】

その後、図 15 (C) に示すように、ノズル 104 から絶縁膜材料を有する液滴を吐出する。絶縁膜 118 を液滴吐出法により形成する場合、樹脂 141 をアライメントとして、描画することができる。このとき、所望の領域にノズルがくると、各制御信号がオンとなるように設定する。なお図 15 (D) は図 15 (C) における I-J に対する断面図を示している。

【0246】

絶縁膜 118 を形成した後、液滴中の溶媒を除去する焼成のため加熱処理を行う。このとき同時に、ブラックマトリクスの加熱処理を行うことができる。

【0247】

以上のように、薄膜トランジスタの工程において、液滴吐出法を用いることができる。また液滴吐出法により配線等のパターンを形成すると、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特に液滴吐出法によりパターンを形成すると、フォトリソグラフィ工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

【0248】

(実施の形態 8)

本実施の形態では、上記実施の形態で示した薄膜トランジスタを有し、発光素子を有する表示装置（発光装置）の画素回路、及びその動作について説明する。

【0249】

図 16 (A) に示す画素は、列方向に信号線 410 及び電源線 411、412、行方向に走査線 414 が配置される。また、スイッチング用 TFT 401、駆動用 TFT 403、電流制御用 TFT 404、容量素子 402 及び発光素子 405 を有する。

【0250】

図 16 (C) に示す画素は、TFT 403 のゲート電極が、行方向に配置された電源線 412 に接続される点が異なっており、それ以外は図 16 (A) に示す画素と同じ構造である。つまり、図 16 (A) (C) に示す両画素は、同じ等価回路図を示す。しかしながら、行方向に電源線 412 が配置される場合（図 16 (A)）と、列方向に電源線 412 が配置される場合（図 16 (C)）とでは、各電源線は異なるレイヤーの導電膜で形成され

る。ここでは、駆動用 T F T 4 0 3 のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図 1 6 (A) (C) として分けて記載する。

#### 【0251】

図 1 6 (A) (C) に示す画素の特徴として、画素内に T F T 4 0 3、4 0 4 が直列に接続されており、T F T 4 0 3 のチャンネル長  $L(403)$ 、チャンネル幅  $W(403)$ 、T F T 4 0 4 のチャンネル長  $L(404)$ 、チャンネル幅  $W(404)$  は、 $L(403)/W(403):L(404)/W(404)=5\sim6000:1$  を満たすように設定するとよい。

#### 【0252】

なお、T F T 4 0 3 は、飽和領域で動作し発光素子 4 0 5 に流れる電流値を制御する役目を有し、T F T 4 0 4 は線形領域で動作し発光素子 4 0 5 に対する電流の供給を制御する役目を有する。両 T F T は同じ導電型を有していると作製工程上好ましく、本実施の形態では n チャンネル型 T F T として形成する。また T F T 4 0 3 には、エンハンスメント型だけでなく、ディプリーション型の T F T を用いてもよい。上記構造を有する本発明は、T F T 4 0 4 が線形領域で動作するために、T F T 4 0 4 の  $V_{gs}$  の僅かな変動は、発光素子 4 0 5 の電流値に影響を及ぼさない。つまり、発光素子 4 0 5 の電流値は、飽和領域で動作する T F T 4 0 3 により決定することができる。上記構造により、T F T の特性バラツキに起因した発光素子の輝度ムラを改善して、画質を向上させた表示装置を提供することができる。

#### 【0253】

図 1 6 (A) ~ (D) に示す画素において、T F T 4 0 1 は、画素に対するビデオ信号の入力を制御するものであり、T F T 4 0 1 がオンとなると、画素内にビデオ信号が入力される。すると、容量素子 4 0 2 にそのビデオ信号の電圧が保持される。なお図 1 6 (A) (C) には、容量素子 4 0 2 を設けた構造を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかなうことが可能な場合には、容量素子 4 0 2 を設けなくてもよい。

#### 【0254】

図 1 6 (B) に示す画素は、T F T 4 0 6 と走査線 4 1 6 を追加している以外は、図 1 6 (A) に示す画素構造と同じである。同様に、図 1 6 (D) に示す画素は、T F T 4 0 6 と走査線 4 1 6 を追加している以外は、図 1 6 (C) に示す画素構造と同じである。

#### 【0255】

T F T 4 0 6 は、新たに配置された走査線 4 1 6 によりオン又はオフが制御される。T F T 4 0 6 がオンとなると、容量素子 4 0 2 に保持された電荷は放電し、T F T 4 0 4 がオフとなる。つまり、T F T 4 0 6 の配置により、強制的に発光素子 4 0 5 に電流が流れない状態を作ることができる。そのため T F T 4 0 6 を消去用 T F T と呼ぶことができる。従って、図 1 6 (B) (D) の構造は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

#### 【0256】

図 1 6 (E) に示す画素は、上記実施の形態で示した薄膜トランジスタを有する画素の等価回路に相当し、列方向に信号線 4 1 0、電源線 4 1 1、行方向に走査線 4 1 4 が配置される。また、スイッチング用 T F T 4 0 1、駆動用 T F T 4 0 3、容量素子 4 0 2 及び発光素子 4 0 5 を有する。図 1 6 (F) に示す画素は、T F T 4 0 6 と走査線 4 1 5 を追加している以外は、図 1 6 (E) に示す画素構造と同じである。なお、図 1 6 (F) の構造も、T F T 4 0 6 の配置により、デューティ比を向上することが可能となる。

#### 【0257】

特に、上記実施の形態のように非晶質半導体等を有する薄膜トランジスタを形成する場合、駆動用 T F T の半導体膜を大きくすると好ましい。そのため、開口率を考慮すると、T F T の数が少ない図 1 6 (E) 又は図 1 6 (F) を用いるとよい。

#### 【0258】

このようなアクティブマトリクス型の発光装置は、画素密度が増えた場合、各画素に T F



Tが設けられているため低電圧駆動でき、有利であると考えられている。一方、一列毎にTF Tが設けられるパッシブマトリクス型の発光装置を形成することもできる。パッシブマトリクス型の発光装置は、各画素にTF Tが設けられていないため、高開口率となる。

#### 【0259】

以上のように、多様な画素回路を採用することができる。

#### 【0260】

(実施の形態9)

本実施の形態では、上記実施の形態におけるパターン形成に用いることができる液滴吐出装置について説明する。図17において、大型基板100上において、1つのパネルが形成される領域830を点線で示す。

#### 【0261】

図17には、配線等のパターンの形成に用いる液滴吐出装置の一態様を示す。液滴吐出手段805は、ヘッド803を有し、ヘッド803は複数のノズル204を有する。本実施の形態では、十個のノズルが設けられたヘッドを三つ(803a、803b、803c)有する場合で説明するが、ノズルの数や、ヘッドの数は処理面積や工程等により設定することができる。

#### 【0262】

ヘッド803は、制御手段807に接続され、制御手段がコンピュータ810により制御することにより、予め設定されたパターンを描画することができる。描画するタイミングは、例えば、ステージ803上に固定された基板100等に形成されたマーカ811を基準点として行えばよい。また、基板100の縁を基準点として行ってもよい。これら基準点をCCDなどの撮像手段804で検出し、画像処理手段809にてデジタル信号に変換させる。デジタル変換された信号をコンピュータ810で認識して、制御信号を発生させて制御手段807に送る。このようにパターンを描画するとき、パターン形成面と、ノズルの先端との間隔は、0.1cm~5cm、好ましくは0.1cm~2cm、さらに好ましくは0.1mm前後とするとよい。このように間隔を短くすることにより、液滴の着弾精度が向上する。

#### 【0263】

このとき、基板100上に形成されるパターンの情報は記憶媒体808に格納されており、この情報を基にして制御手段807に制御信号を送り、各ヘッド803a、803b、803cを個別に制御することができる。すなわち、ヘッド803a、803b、803cが有する各ノズルから異なる材料を有する液滴を吐出することができる。例えばヘッド803a、803bが有するノズルは絶縁膜材料を有する液滴を吐出し、ヘッド803cが有するノズルは導電膜材料を有する液滴を吐出することができる。

#### 【0264】

さらにヘッド803が有する各ノズルを個別に制御することもできる。ノズルを個別に制御することができるため、特定のノズルから異なる材料を有する液滴を吐出することができる。例えば同一ヘッド803aに、導電膜材料を有する液滴を吐出するノズルと、絶縁膜材料を有する液滴を吐出するノズルとを設けることができる。

#### 【0265】

また層間絶縁膜の形成工程のように大面積に対して液滴吐出処理を行う場合、層間絶縁膜材料を有する液滴を全ノズルから吐出させるとよい。さらに、複数のヘッドが有する全ノズルから、層間絶縁膜材料を有する液滴を吐出するとよい。その結果、スループットを向上させることができる。もちろん、層間絶縁膜形成工程において、一つのノズルから層間絶縁膜材料を有する液滴を吐出し、複数走査することにより大面積に対して液滴吐出処理を行ってもよい。

#### 【0266】

そしてヘッド803をジグザグ又は往復させ、大型マザーガラスに対するパターン形成を行うことができる。このとき、ヘッドと基板を相対的に複数回走査させればよい。ヘッドを基板に対して走査するとき、進行方向に対してヘッドを斜めに傾けるとよい。

## 【0267】

ヘッド803の幅は、大型マザーガラスから複数のパネルを形成する場合、ヘッドの幅は1つのパネルの幅と同程度とすると好ましい。1つのパネルが形成される領域830に対して一回の走査でパターン形成することができ、高いスループットが期待できるからである。

## 【0268】

またヘッドの幅は、パネルの幅より小さくしてもよい。このとき、複数の幅の小さなヘッドを直列に配置し、1つのパネルの幅と同程度としてもよい。複数の幅の小さなヘッドを直列に配置することにより、ヘッドの幅が大きくなるにつれて懸念されるヘッドのたわみの発生を防止することができる。もちろん、幅の小さなヘッドを複数回走査することにより、パターン形成を行ってもよい。

## 【0269】

このような液滴吐出法により組成物の液滴を吐出する工程は、減圧下で行うと好ましい。組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が蒸発し、組成物の乾燥と焼成の工程を省略することができるからである。また、減圧下で行うと、導電体の表面に酸化膜などが形成されないため好ましい。また組成物を滴下する工程は、窒素雰囲気中や有機ガス雰囲気中で行ってもよい。

## 【0270】

また液滴吐出法として、ピエゾ方式を用いることができる。ピエゾ方式は、液滴の制御性に優れインク選択の自由度の高いことからインクジェットプリンターでも利用されている。なお、ピエゾ方式には、MLP (Multi Layer Piezo) タイプとMLChip (Multi Layer Ceramic Hyper Integrated Piezo Segments) タイプがある。また組成物の溶媒によっては、発熱体を発熱させ気泡を生じさせ溶液を押し出す、いわゆるサーマル方式を用いた液滴吐出法でもよい。

## 【0271】

(実施の形態10)

上記実施の形態で示したモジュールを搭載した電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc (DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、大型画面を有する大型テレビ等に上記実施の形態で示した液滴吐出法を用いることが望ましい。それら電子機器の具体例を図19に示す。

## 【0272】

図19(A)は大型のELテレビジョン装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。表示部2003は、画素部及び駆動回路部を有するモジュールが設けられている。画素部は、発光素子を有し、上記実施の形態で示した液滴吐出法より形成されたTFIを有する。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

## 【0273】

コントラストを高めるため、少なくとも画素部に偏光板、又は円偏光板を備えるとよい。例えば、封止基板上へ波長板として $1/4\lambda$ 板、 $1/2\lambda$ 板、偏光板の順に設けるとよい。さらに偏光板上に反射防止膜を設けてもよい。

## 【0274】

図19(B)はELテレビジョン装置の主要な構造を示すブロック図を示している。表示パネルには、上記実施の形態で示すような構造として画素部603が形成されている。

## 【0275】

外部回路の構造として、映像信号の入力側では、チューナ904で受信した信号のうち、

映像信号を増幅する映像信号増幅回路905と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路906と、その映像信号をドライバICの入力仕様に交換するためのコントロール回路907などからなっている。コントロール回路907から、信号線駆動回路605とに走査線駆動回路604a、604bそれぞれ信号が出力する。デジタル駆動する場合には、コントロール回路と信号線駆動回路との間に信号分割回路908を設け、入力デジタル信号をm個に分割して供給する構造としてもよい。

#### 【0276】

図19(B)のように、二つの走査線駆動回路604a、604bを設けると、表示パネルが大型化するにつれ生じる走査線の信号遅延や信号なまりを防止することができ好ましい。また走査線駆動回路は二つに限定されず、一つの走査線駆動回路であっても、二つ以上の走査線駆動回路を設けてもよい。また同様に、一つ又は二つ以上の信号線駆動回路を設けてもよい。

#### 【0277】

チューナ904で受信した信号のうち、音声信号は、音声信号増幅回路909に送られ、その出力は音声信号処理回路910を経てスピーカー913に供給される。制御回路911は受信局(受信周波数)や音量の制御情報を入力部912から受け、チューナ904や音声信号処理回路910に信号を送出する。

#### 【0278】

このような外部回路を組みこんだ表示部を、筐体2001に組みこんで、テレビジョン装置を完成させることができる。その他付属設備としてスピーカー2004、ビデオ信号入力端子2005や操作スイッチなどが備えられている。このように、本発明によりELテレビジョン装置を完成させることができる。

#### 【0279】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。また、液晶素子を有するテレビジョン装置を形成することもできる。

#### 【0280】

図20(A)は携帯端末のうちの携帯電話機であり、本体2101、筐体2102、表示部2103、音声入力部2104、音声出力部2105、操作キー2106、アンテナ2107等を含む。表示部2103は、画素部及び駆動回路部を有するモジュールが設けられている。画素部は、発光素子又は液晶素子を有し、上記実施の形態で示した液滴吐出法より形成されたTFIを有する。またさらに表示部2103を大型マザーガラス基板から多面取り形成することにより、携帯電話機のコストを低減することができる。

#### 【0281】

図20(B)はシート型の携帯電話機であり、本体2301、表示部2303、音声入力部2304、音声出力部2305、スイッチ2306、外部接続ポート2307等を含む。外部接続ポート2307を介して、別途用意したイヤホン2308を接続することができる。表示部2303には、センサを備えたタッチパネル式の表示画面が用いられており、表示部2303に表示されたタッチパネル式操作キー2309に触れることで、一連の操作を行うことができる。表示部2303は、画素部及び駆動回路部を有するモジュールが設けられている。画素部は、発光素子又は液晶素子を有し、上記実施の形態で示した液滴吐出法より形成されたTFIを有する。またさらに表示部2303を大型マザーガラス基板から多面取り形成することにより、シート型の携帯電話機のコストを低減することができる。

#### 【0282】

このように小型の電子機器であっても、本発明を用いて表示部を形成することにより、大型マザーガラス基板から多面取り形成することができ、コストを低減することができる。

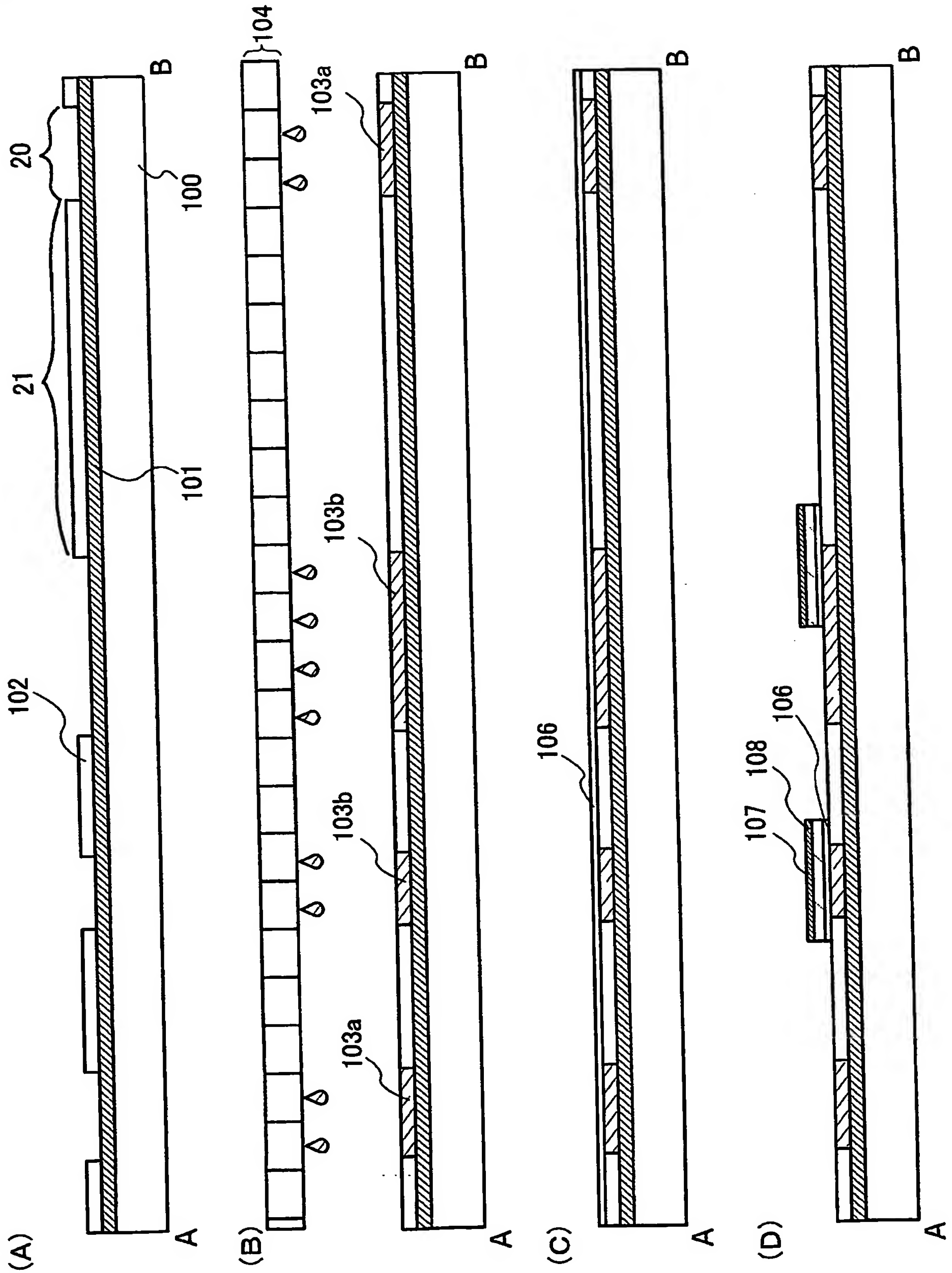
#### 【図面の簡単な説明】



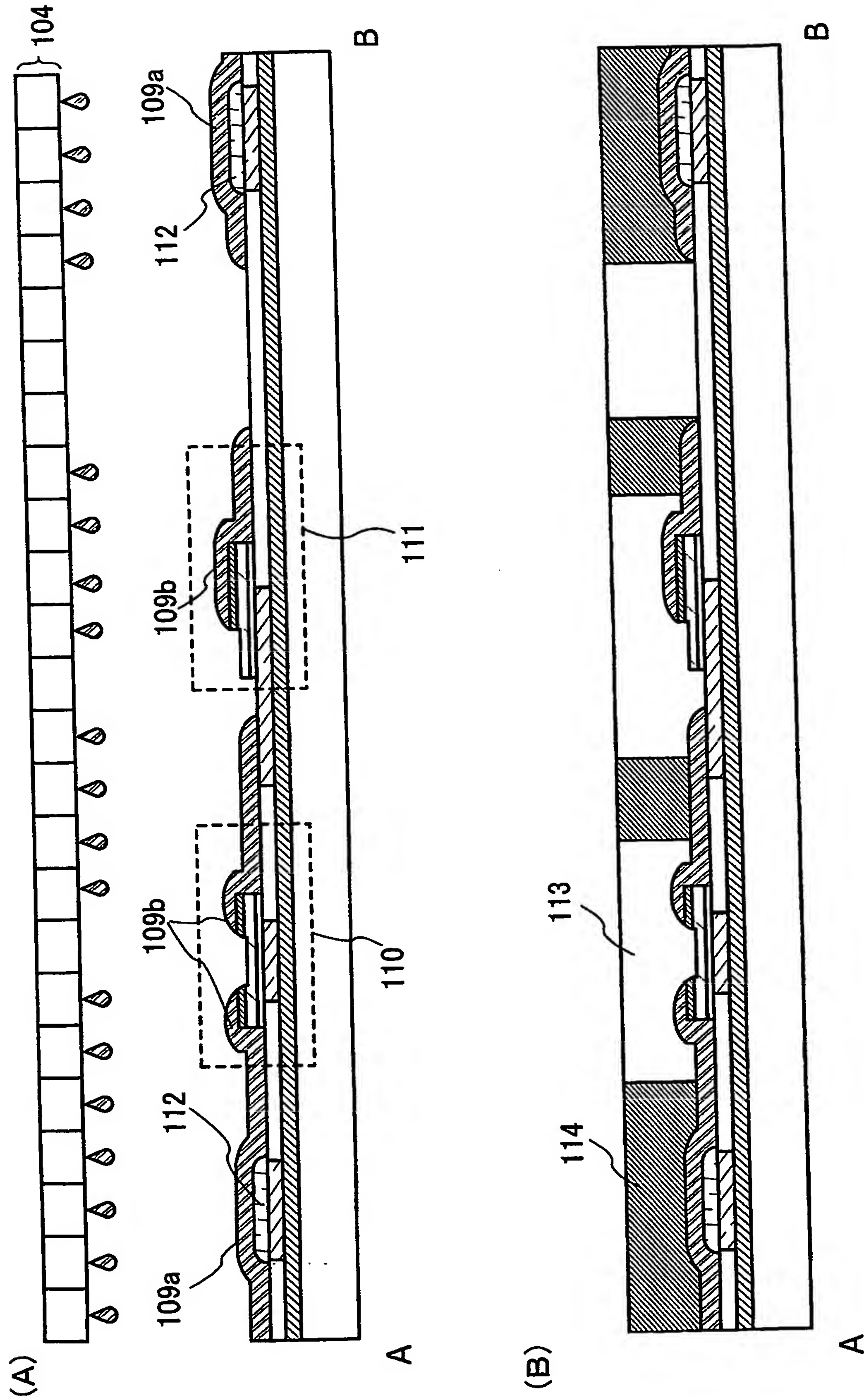
## 【 0 2 8 3 】

- 【図 1】 本発明の薄膜トランジスタの作製工程を示した図である。
- 【図 2】 本発明の薄膜トランジスタの作製工程を示した図である。
- 【図 3】 本発明の表示装置の作製工程を示した図である。
- 【図 4】 本発明の薄膜トランジスタの上面図である。
- 【図 5】 本発明の薄膜トランジスタの作製工程を示した図である。
- 【図 6】 本発明の薄膜トランジスタの作製工程を示した図である。
- 【図 7】 本発明の薄膜トランジスタの作製工程を示した図である。
- 【図 8】 本発明の薄膜トランジスタの作製工程を示した図である。
- 【図 9】 本発明の薄膜トランジスタの作製工程を示した図である。
- 【図 1 0】 本発明の表示装置の作製工程を示した図である。
- 【図 1 1】 本発明の表示装置の作製工程を示した図である。
- 【図 1 2】 本発明の表示装置の作製工程を示した図である。
- 【図 1 3】 本発明の薄膜トランジスタの作製工程を示した図である。
- 【図 1 4】 本発明の表示装置の作製工程を示した図である。
- 【図 1 5】 本発明の薄膜トランジスタの作製工程を示した図である。
- 【図 1 6】 本発明の表示装置の画素回路を示した図である。
- 【図 1 7】 本発明の液滴吐出装置を示した図である。
- 【図 1 8】 本発明の電源回路を搭載したモジュールを示した図である。
- 【図 1 9】 本発明のテレビジョン装置を示した図である。
- 【図 2 0】 本発明の電子機器を示した図である。
- 【図 2 1】 本発明の表示装置の作製工程を示した図である。
- 【図 2 2】 本発明における駆動回路の実装工程を示した図である。

【書類名】 図面  
【図 1】

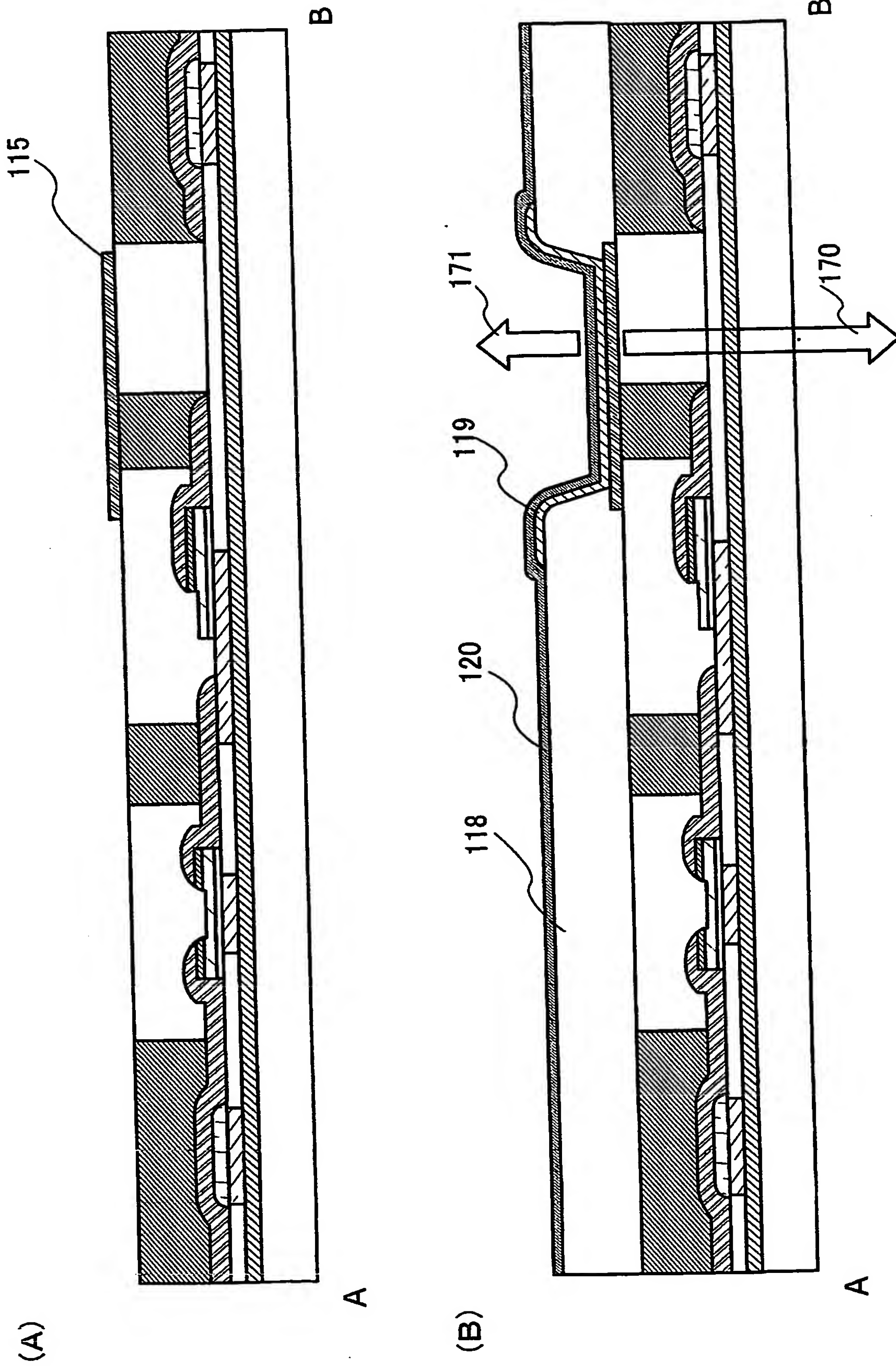


【図 2】

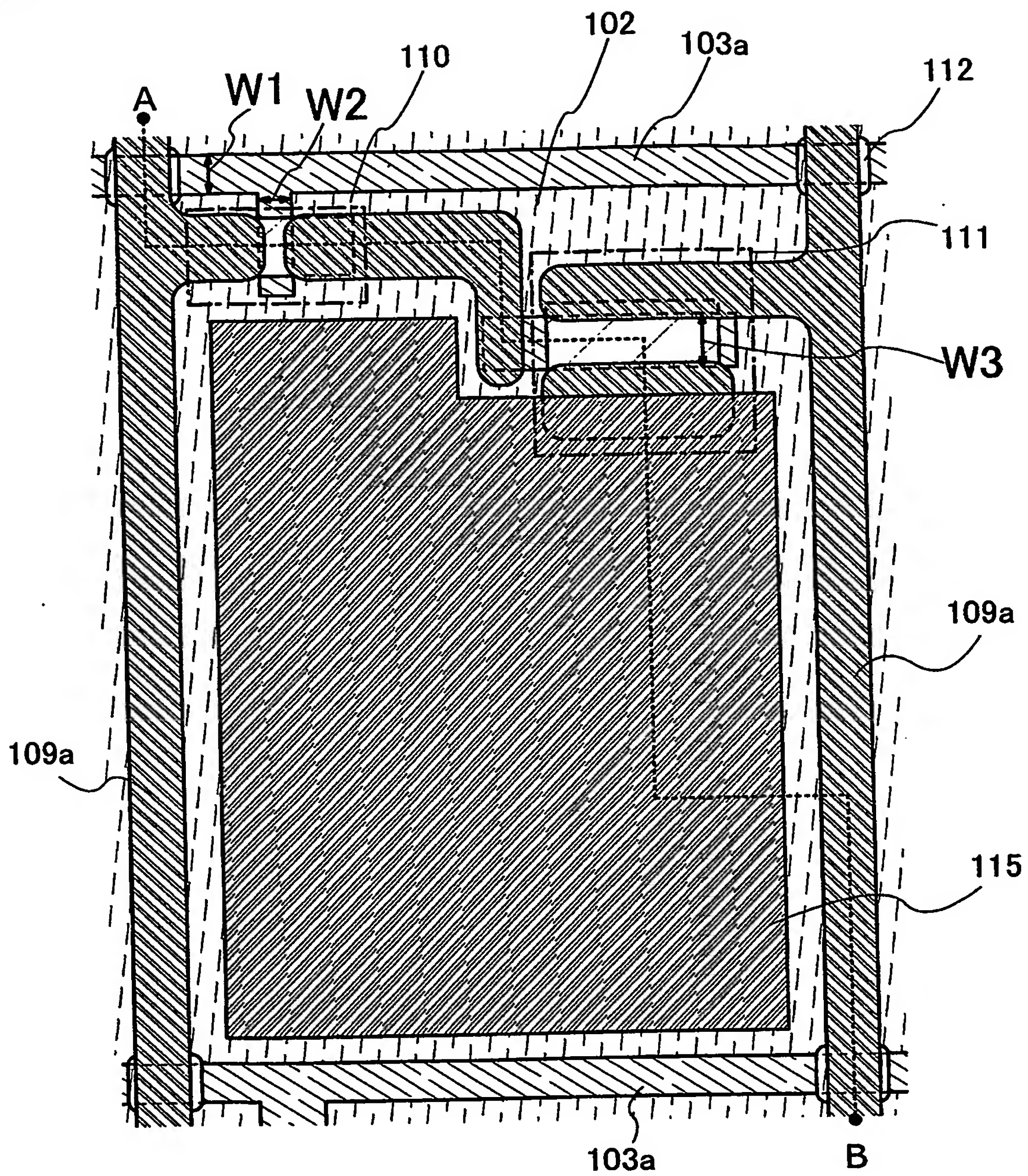




【図 3】

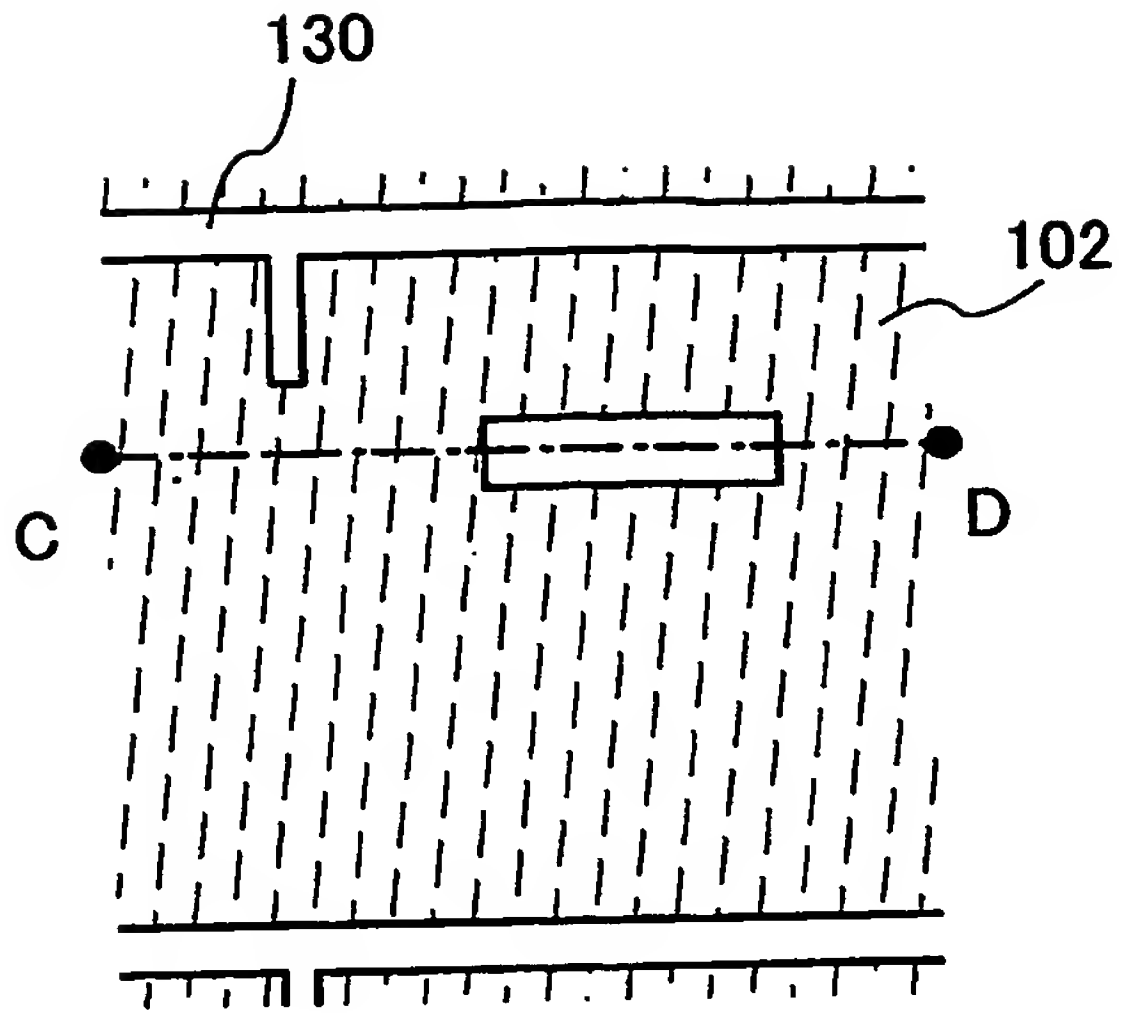


【図 4】

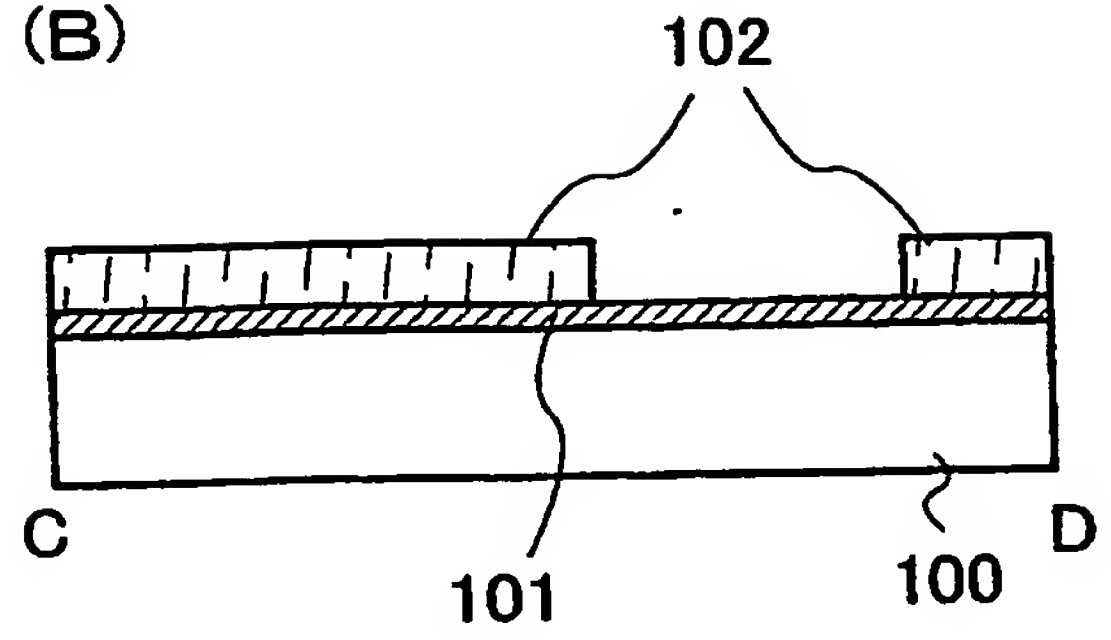


【図 5】

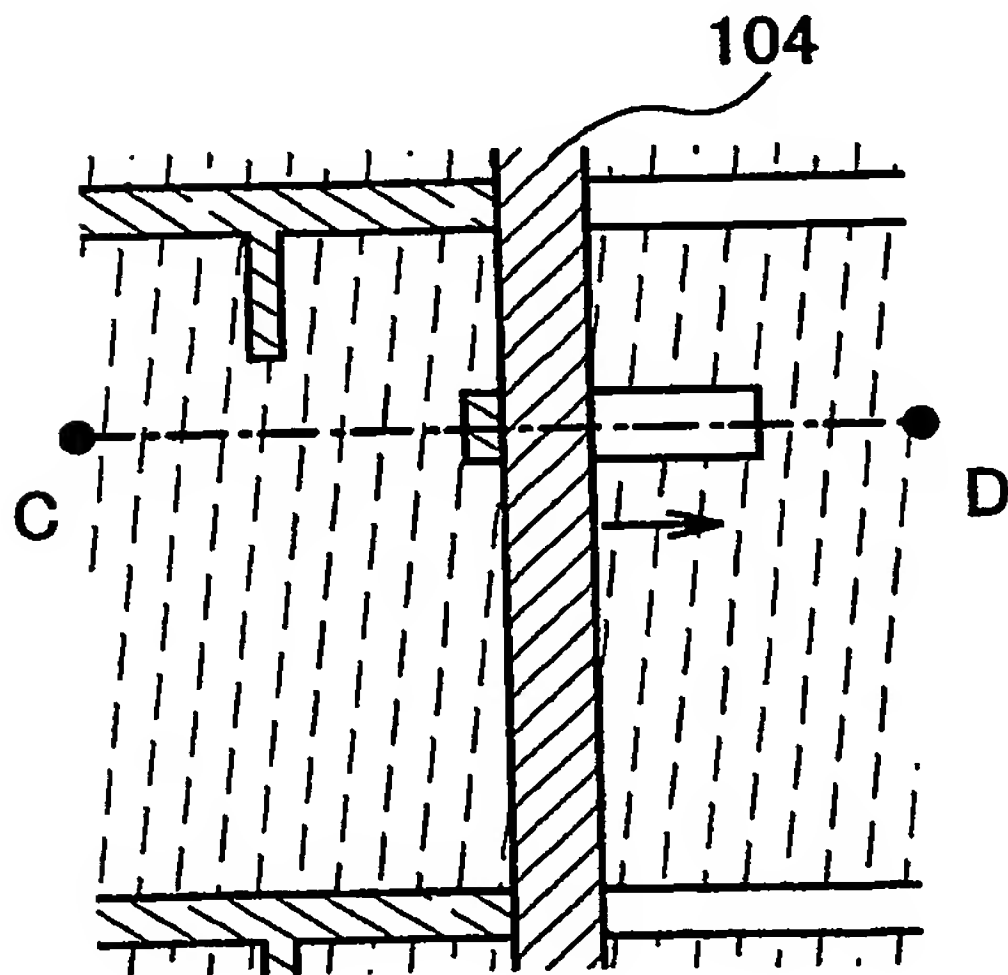
(A)



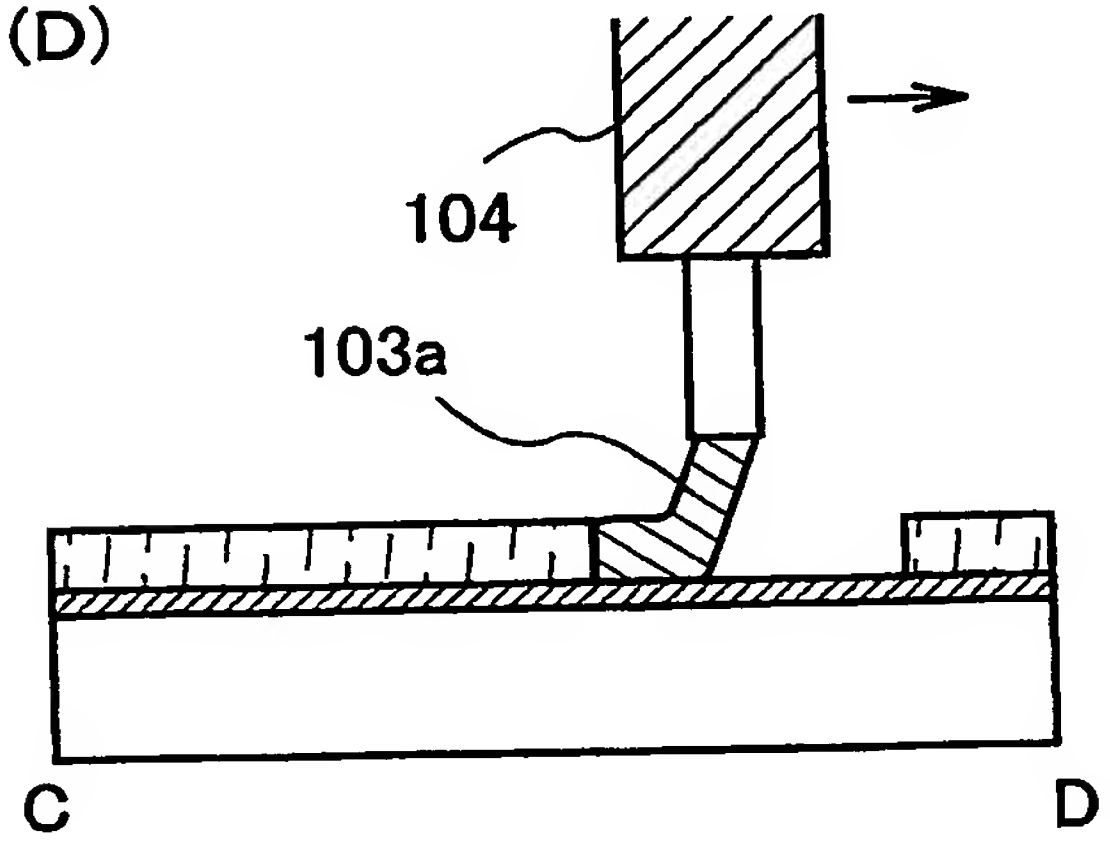
(B)



(C)

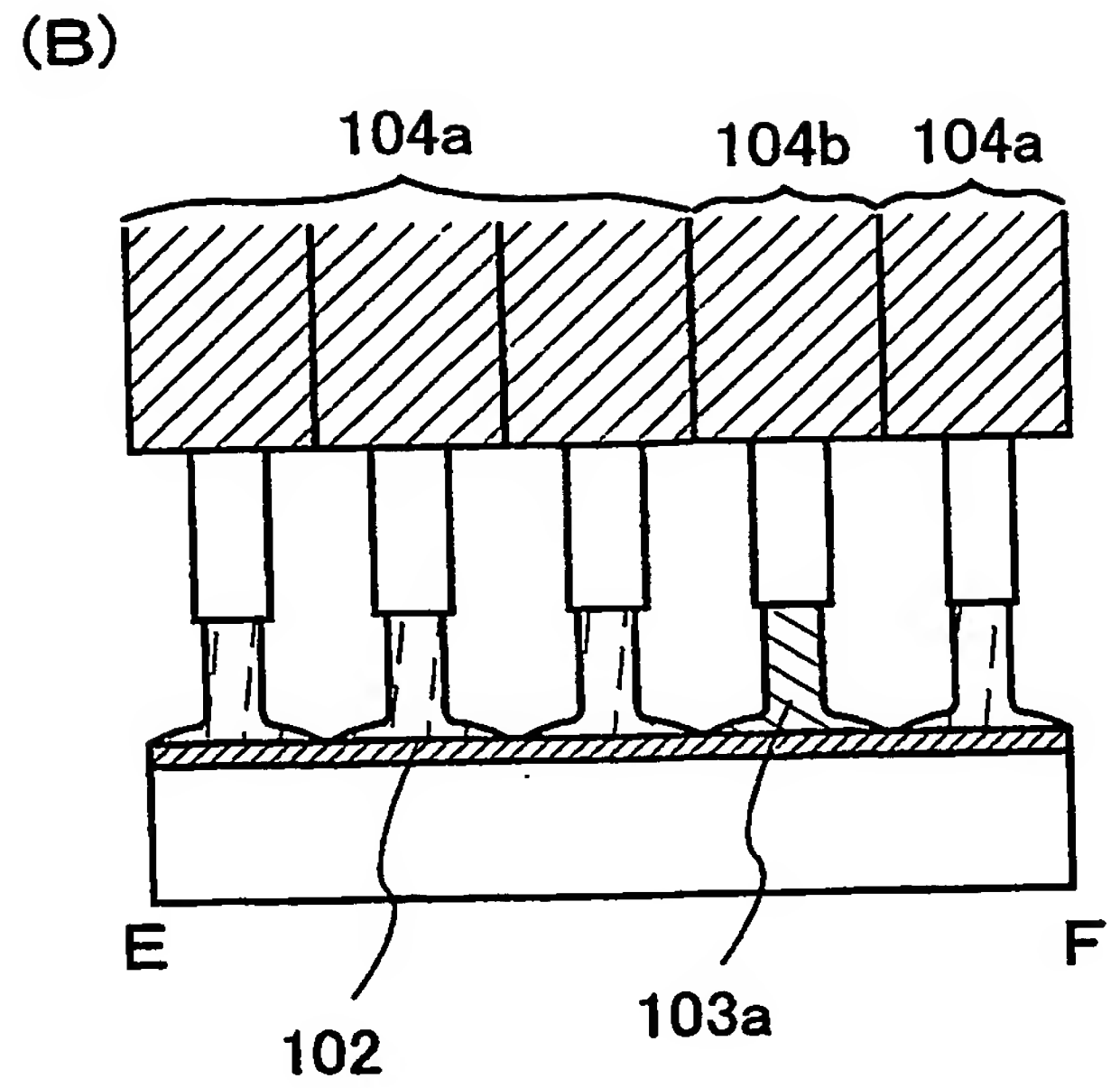
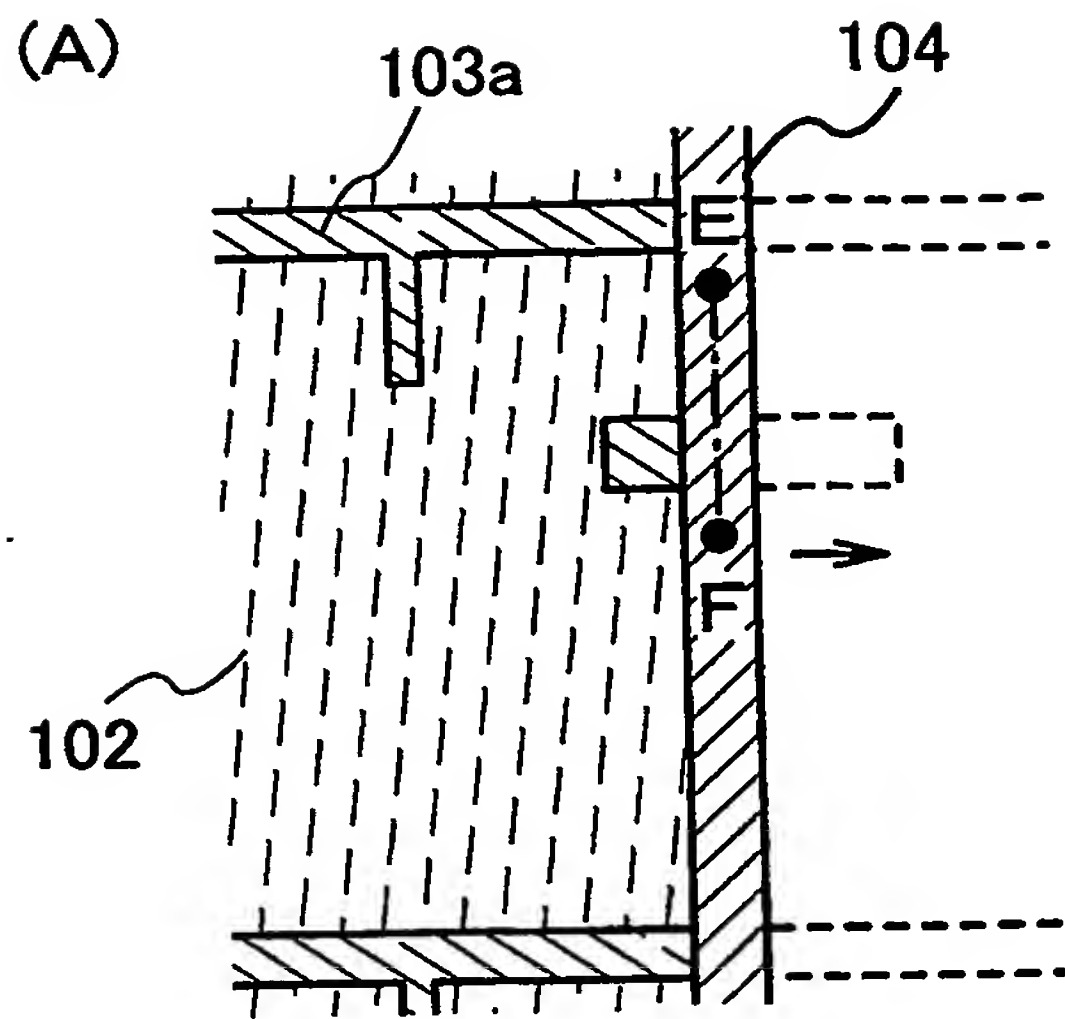


(D)

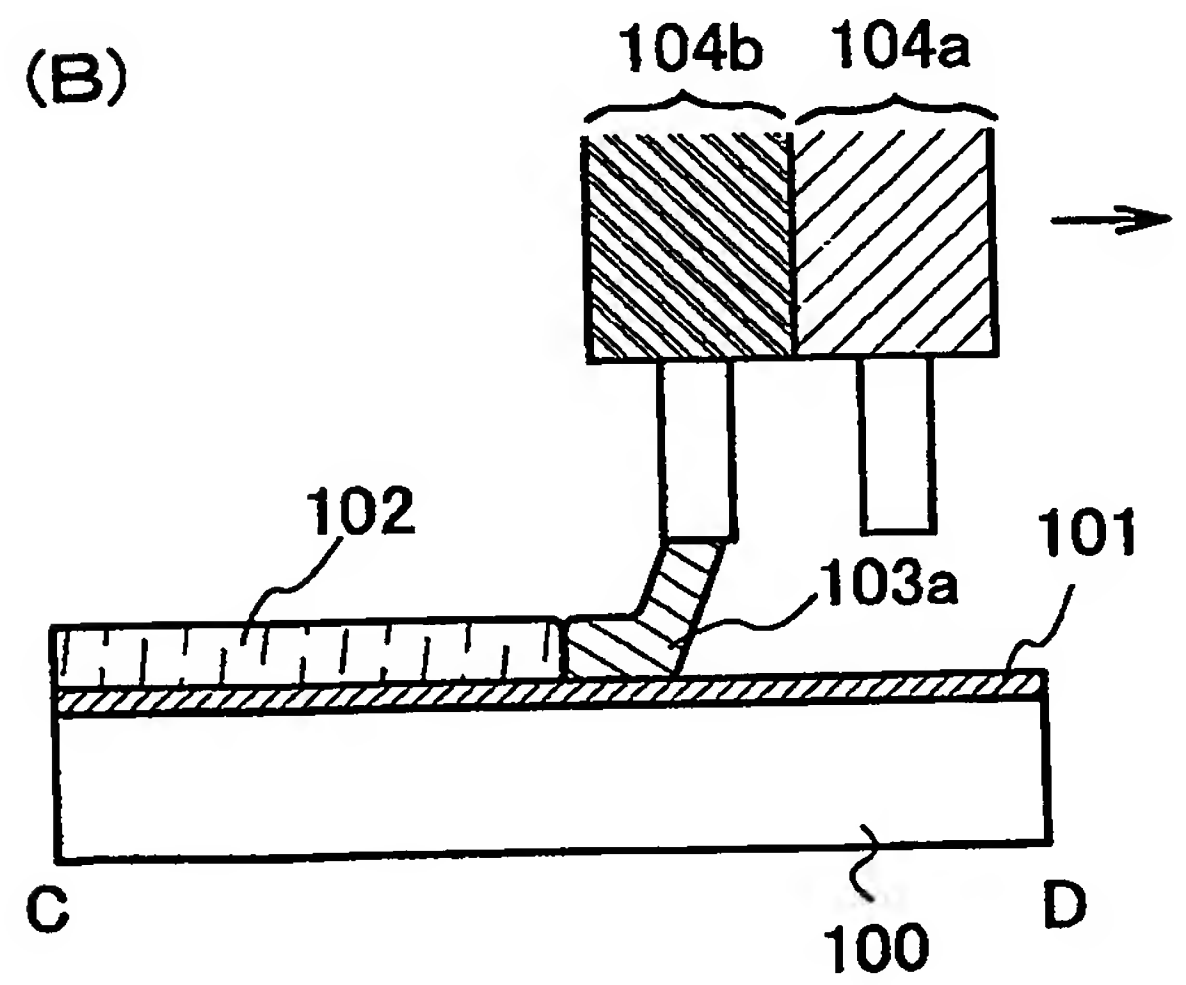
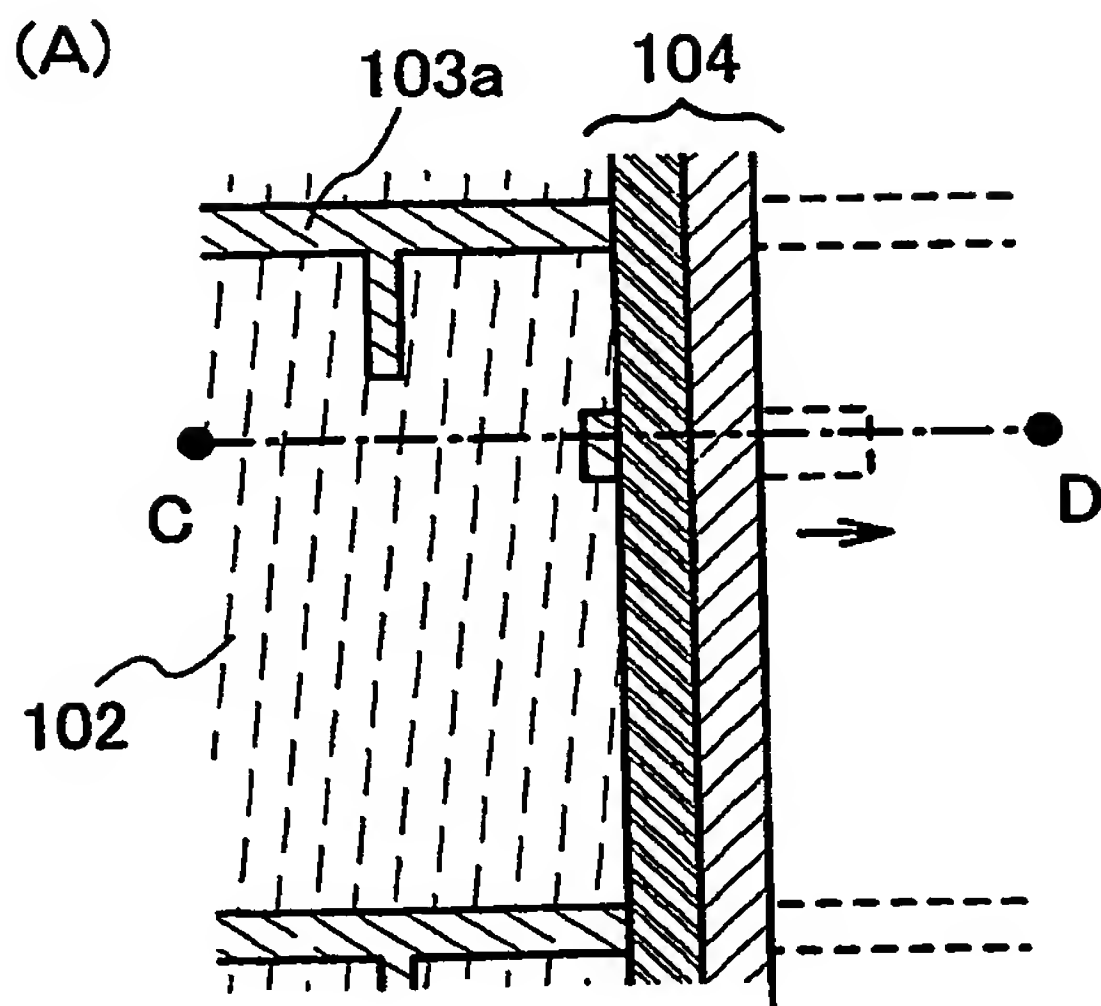




【図 6】

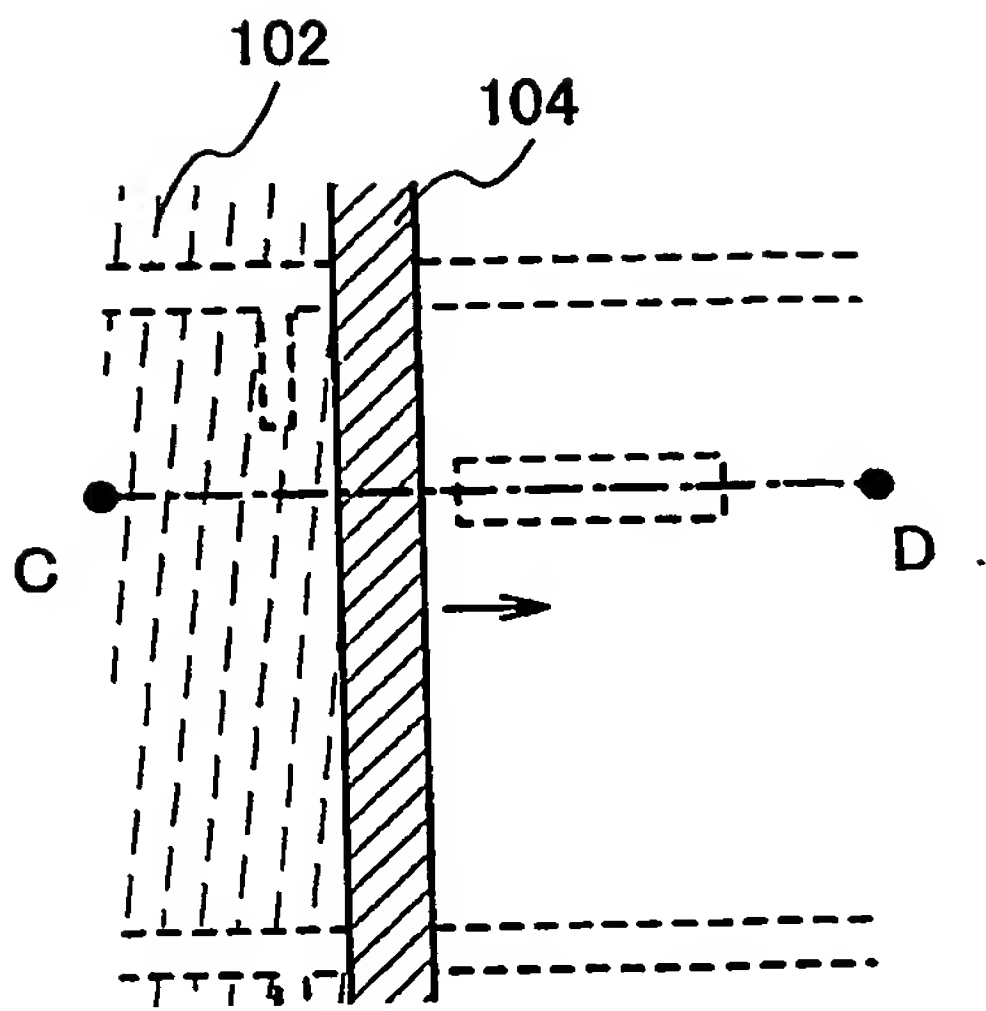


【図 7】

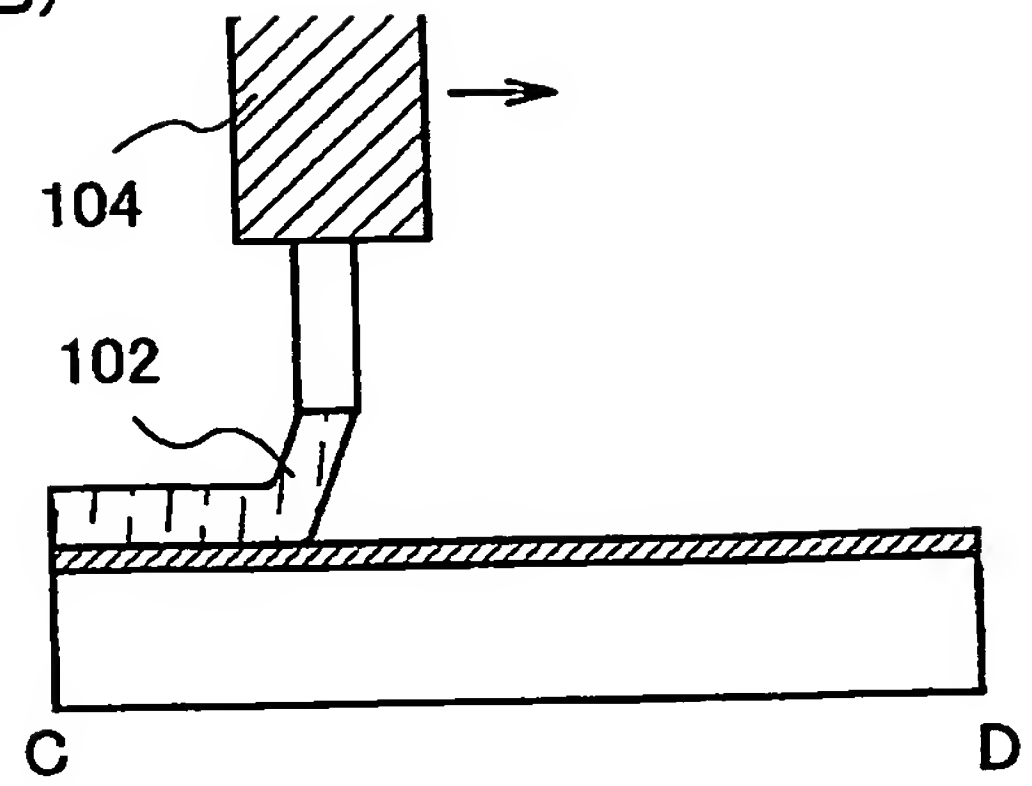


【図 8】

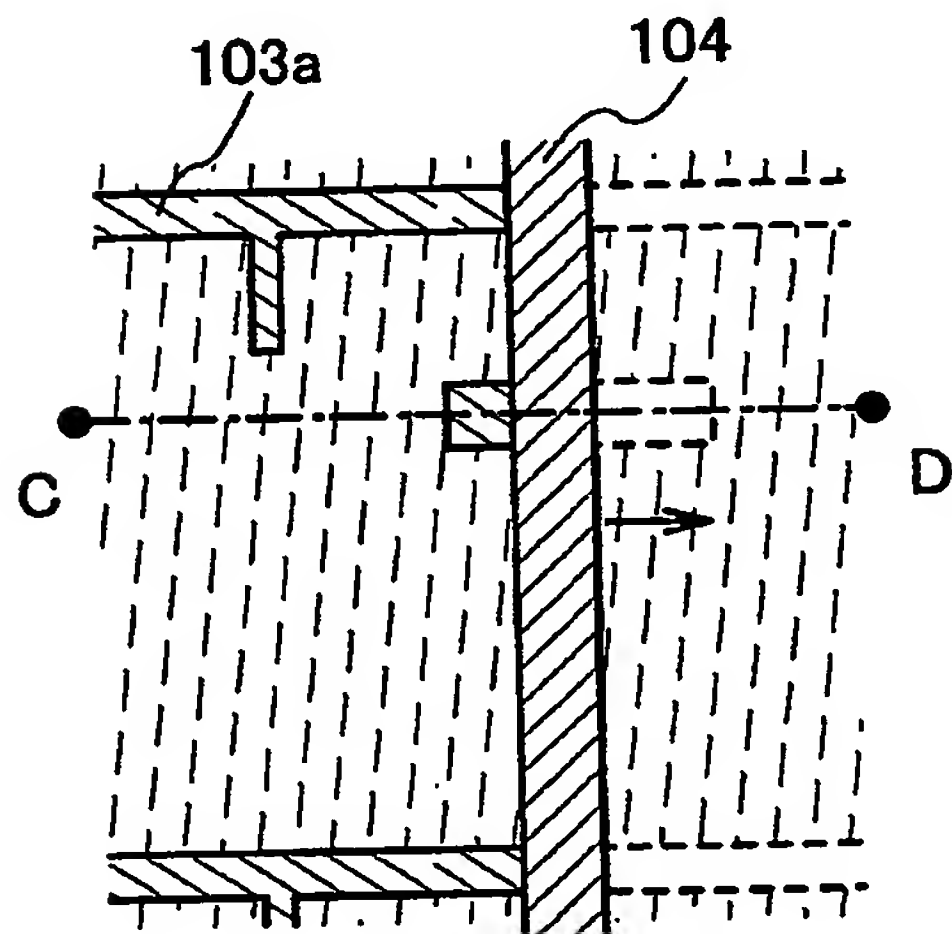
(A)



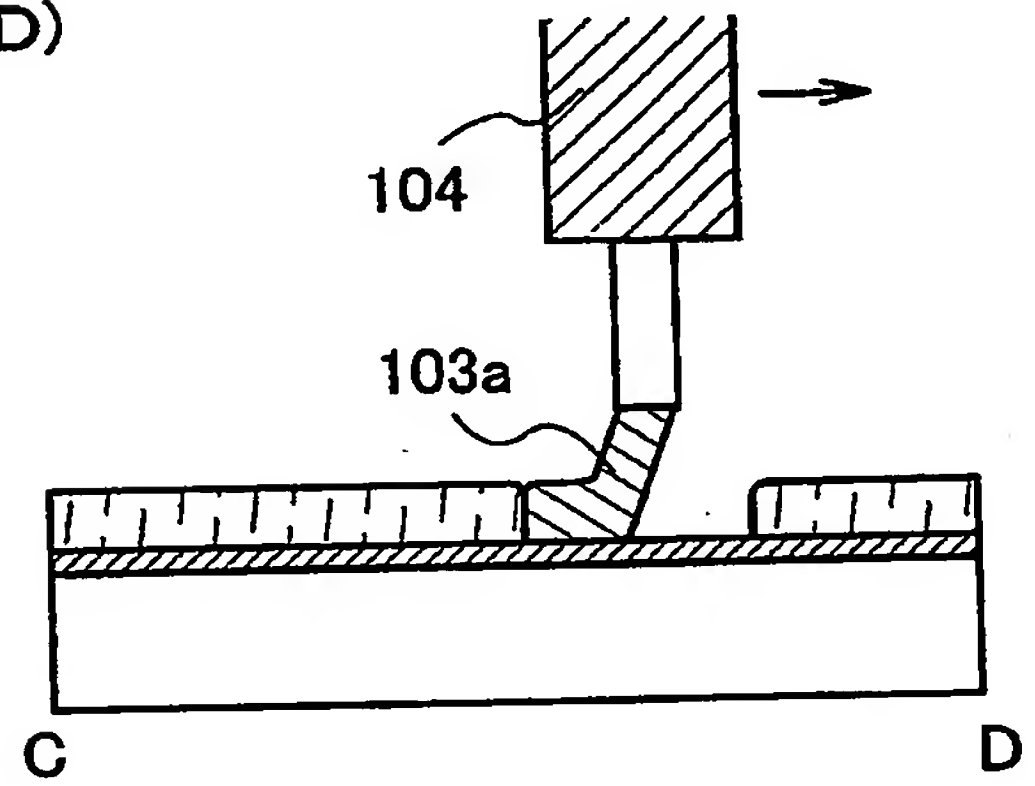
(B)



(C)

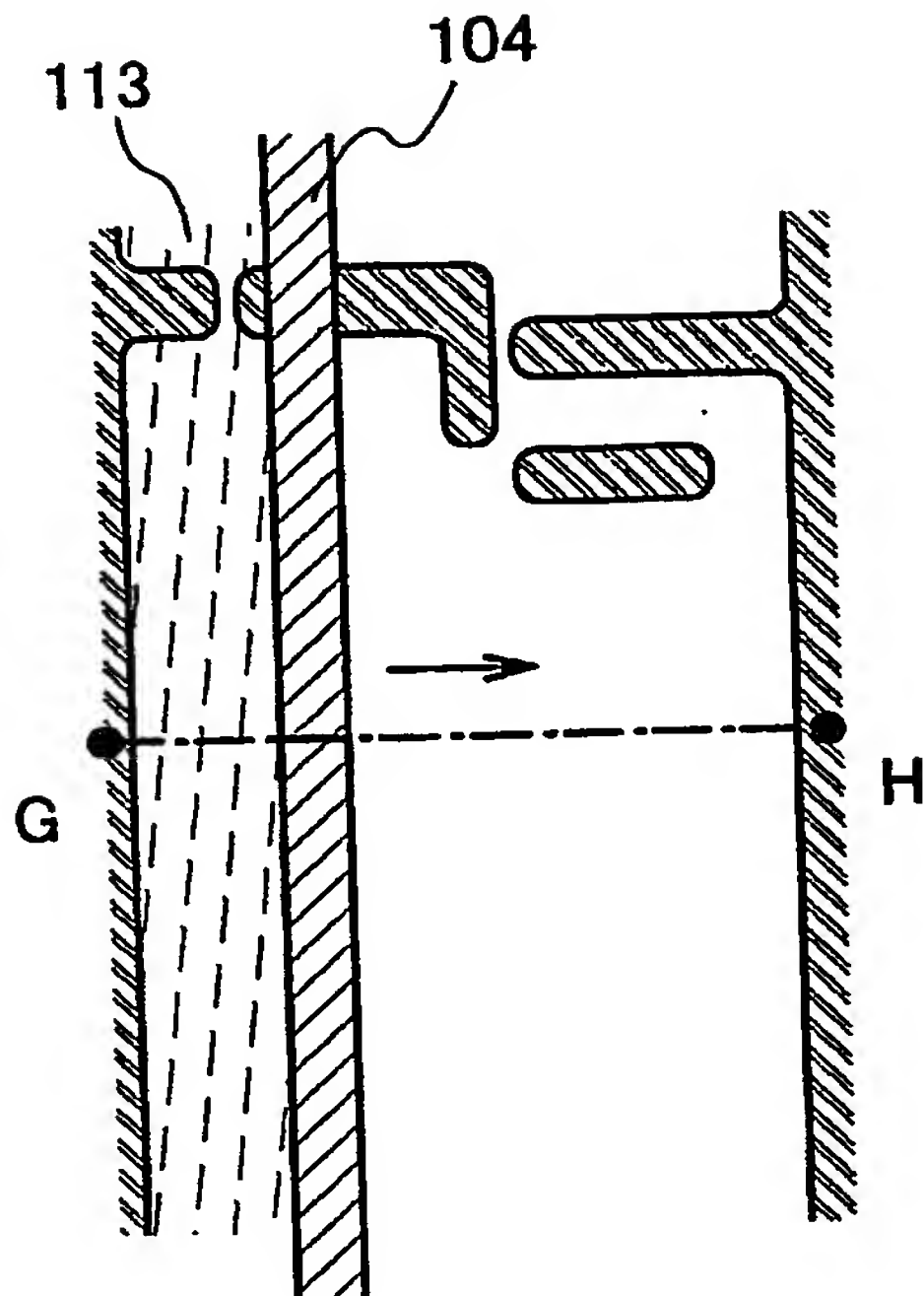


(D)

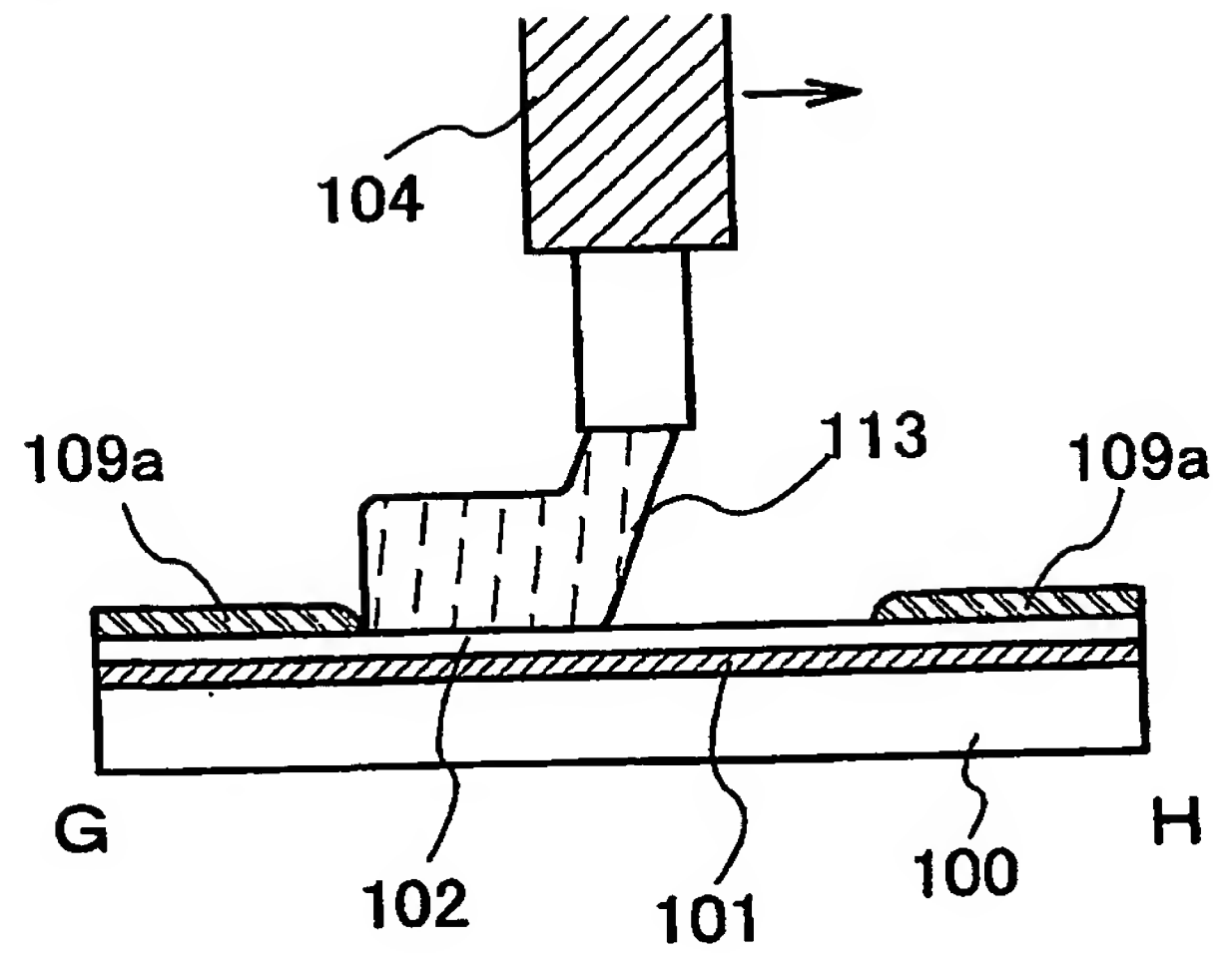


【図 9】

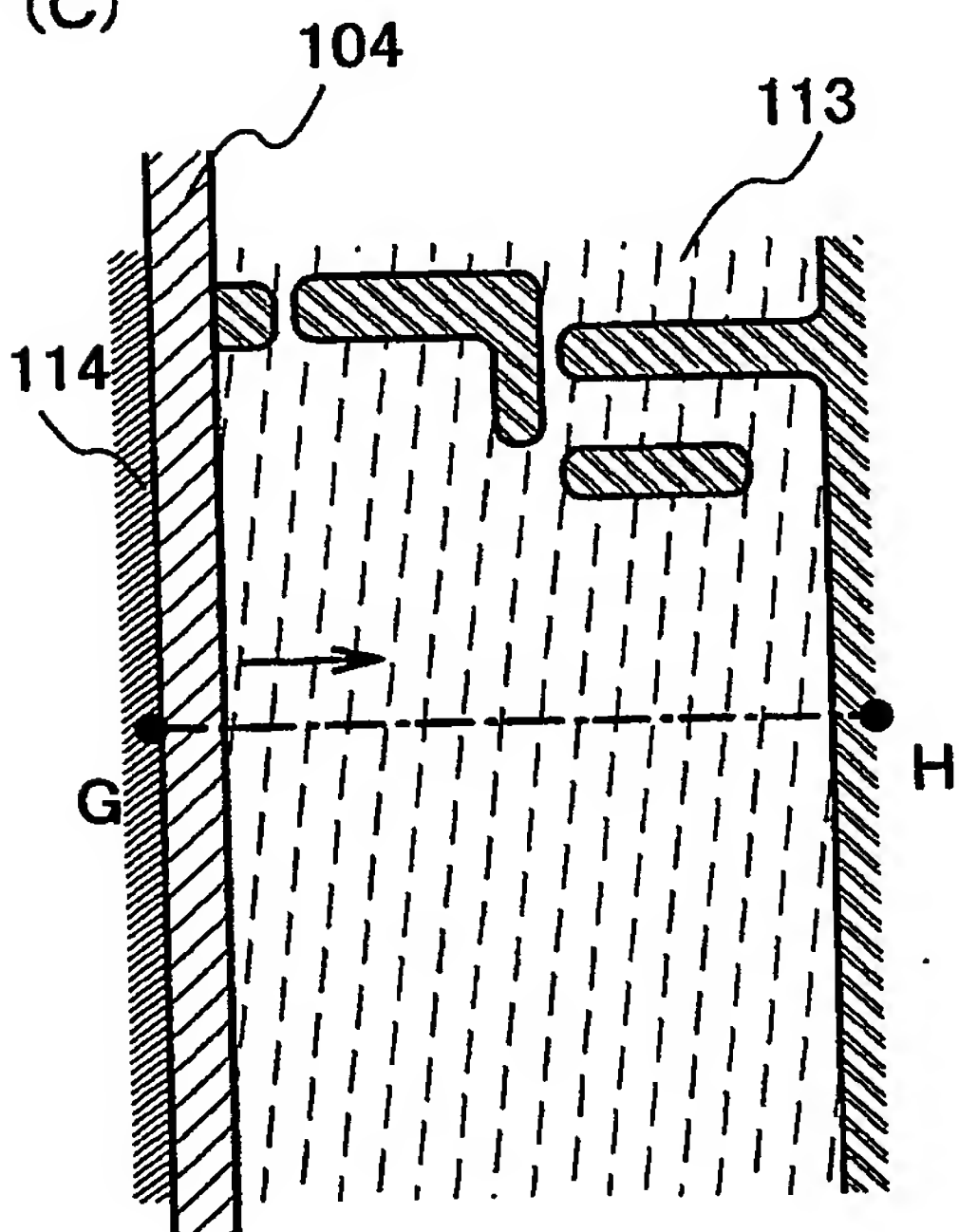
(A)



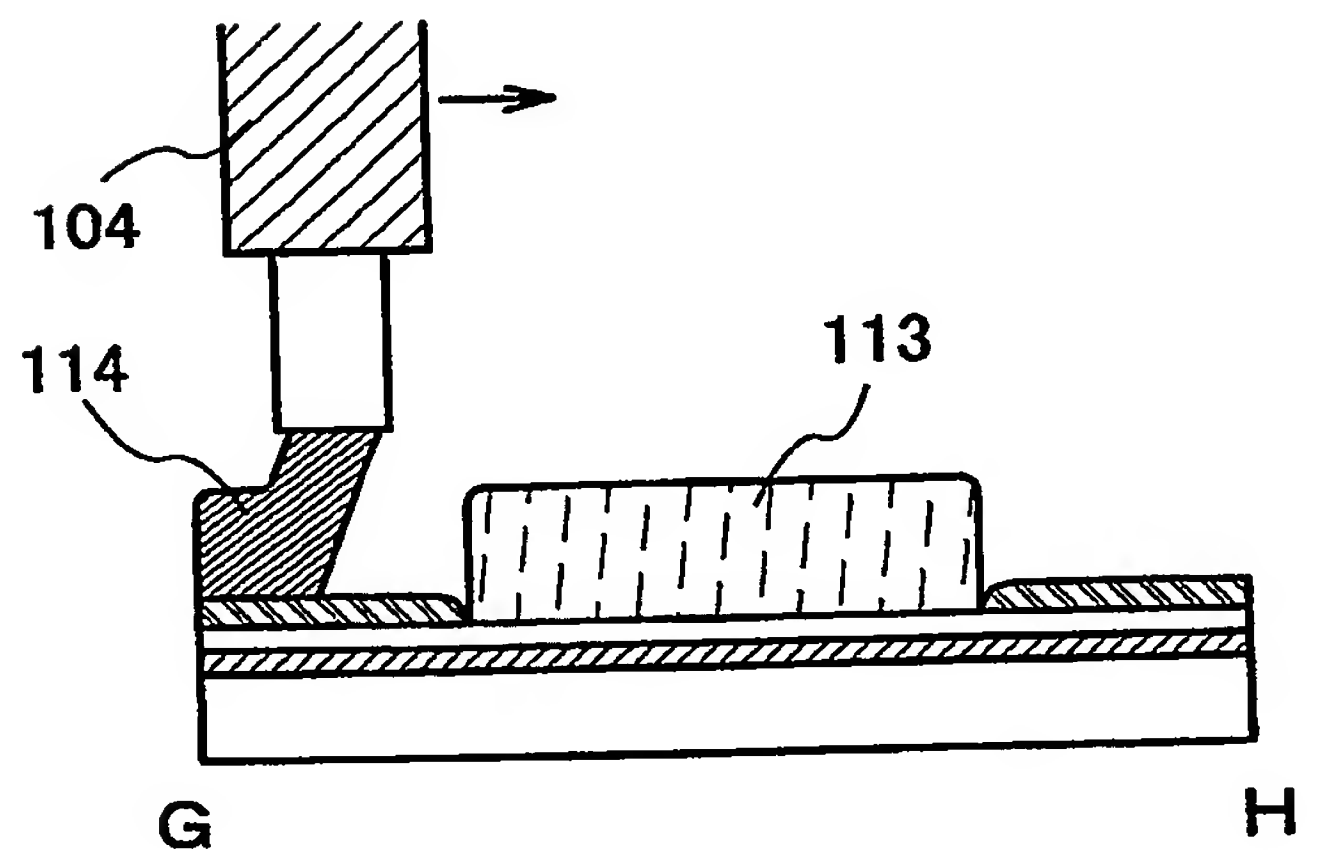
(B)



(C)

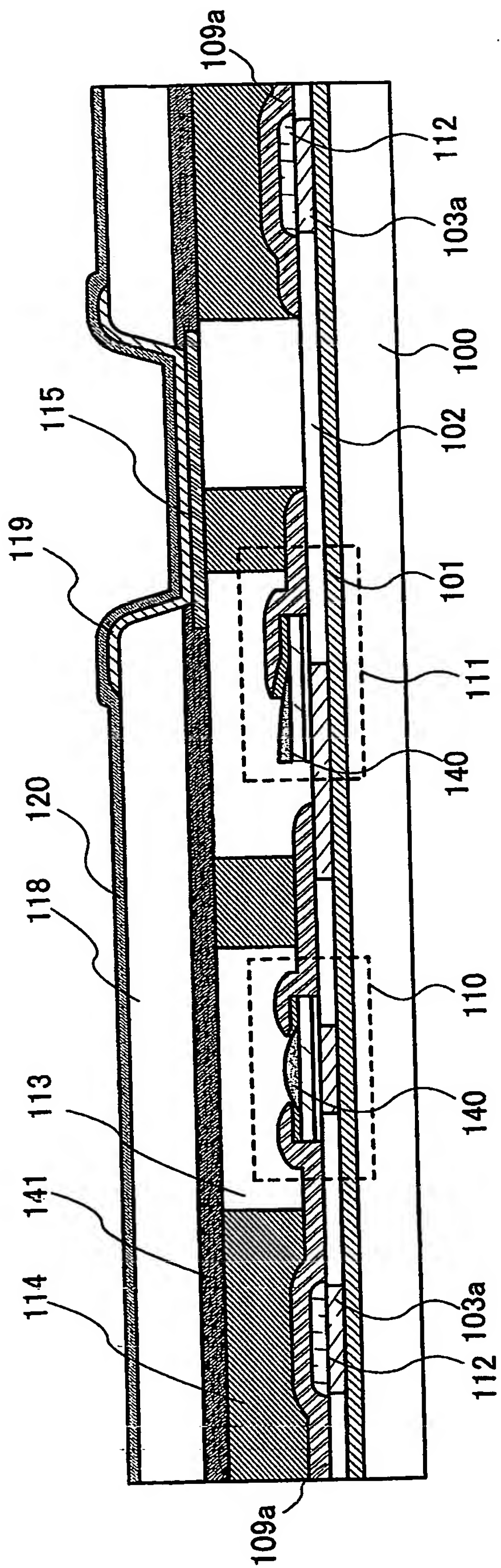


(D)

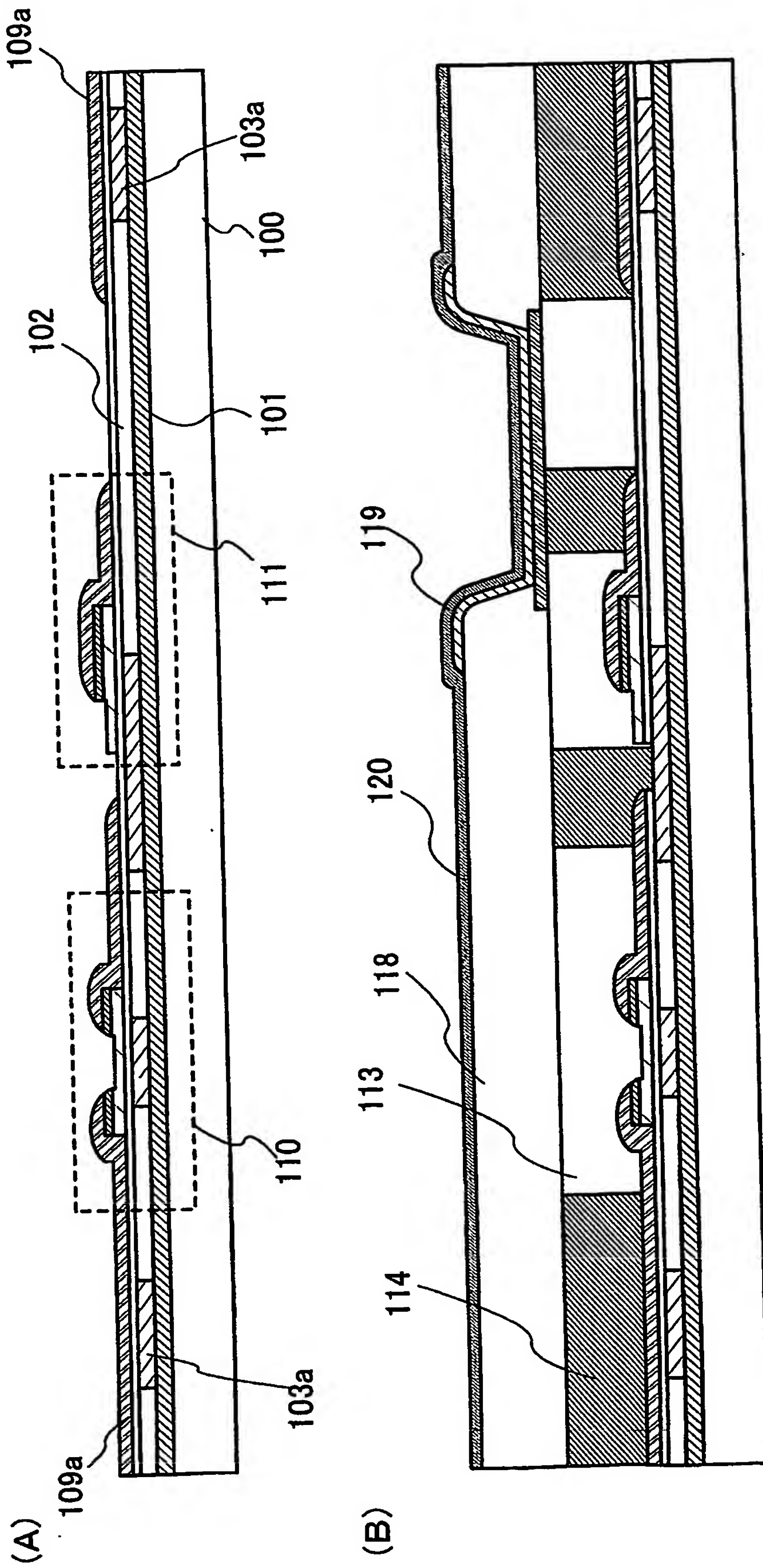




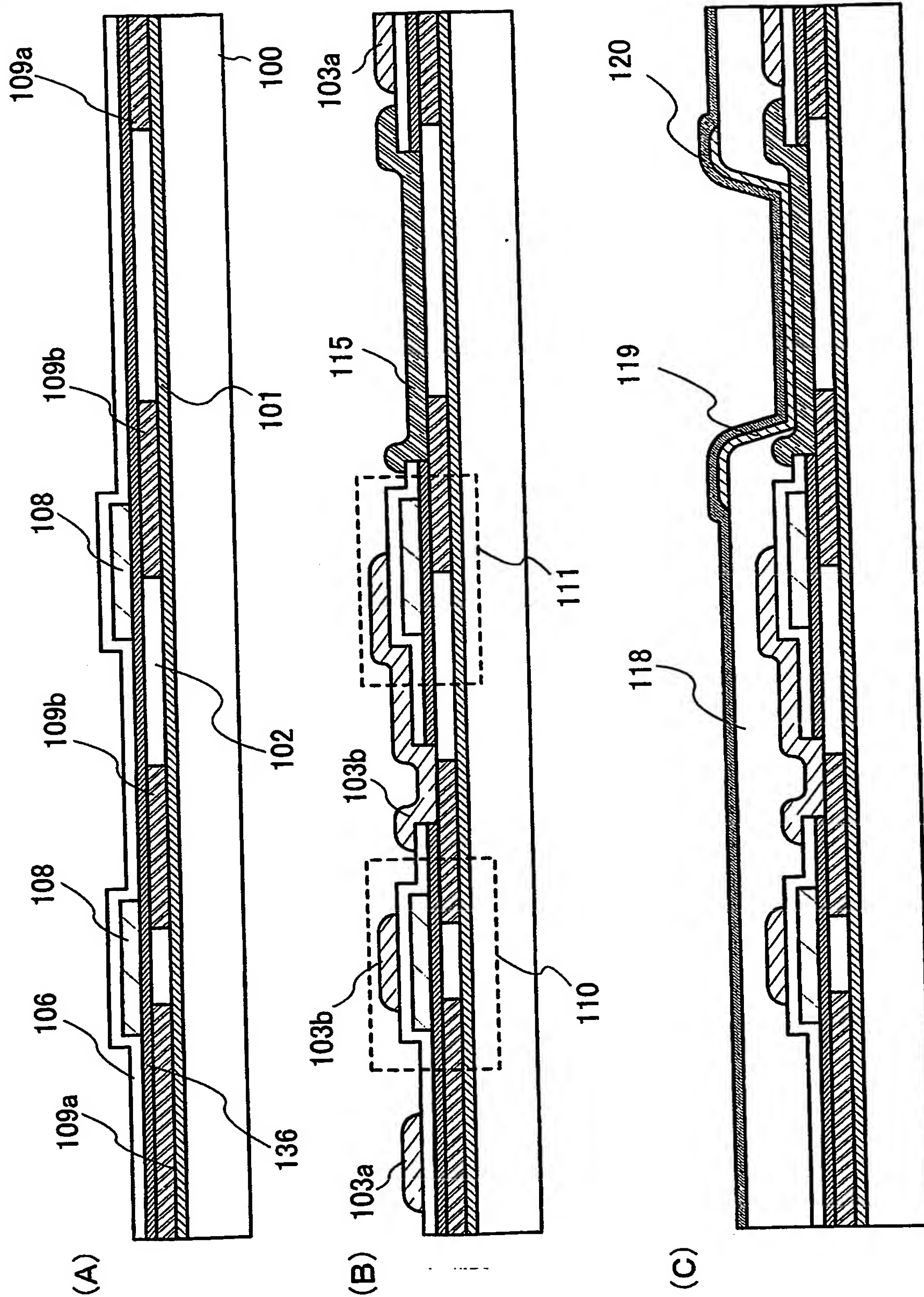
【図 10】



【図 11】

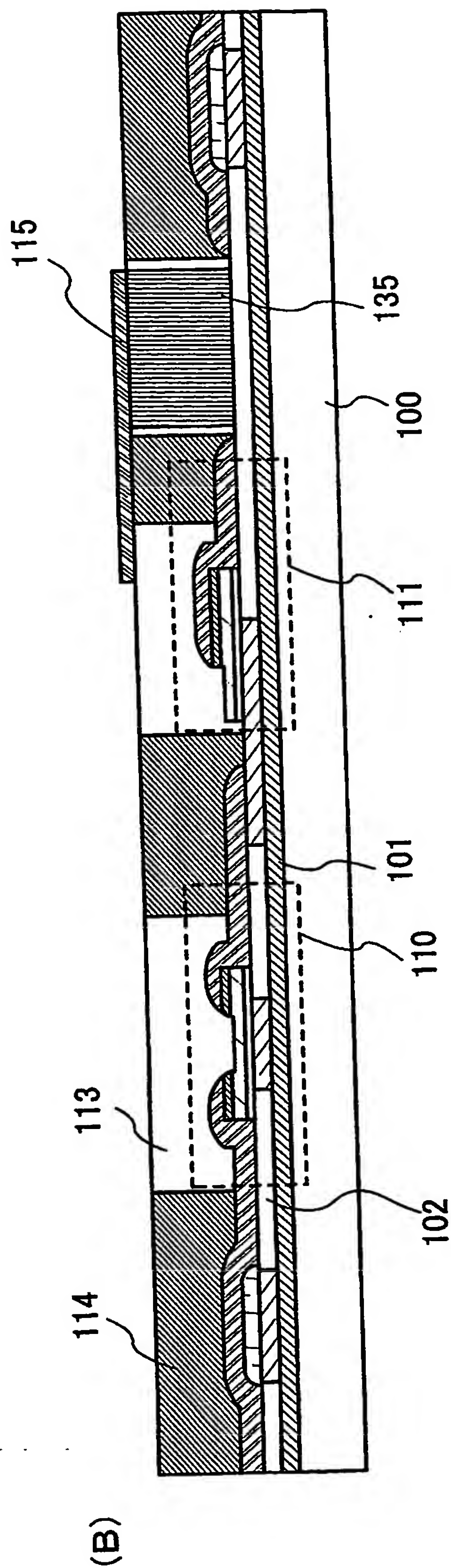
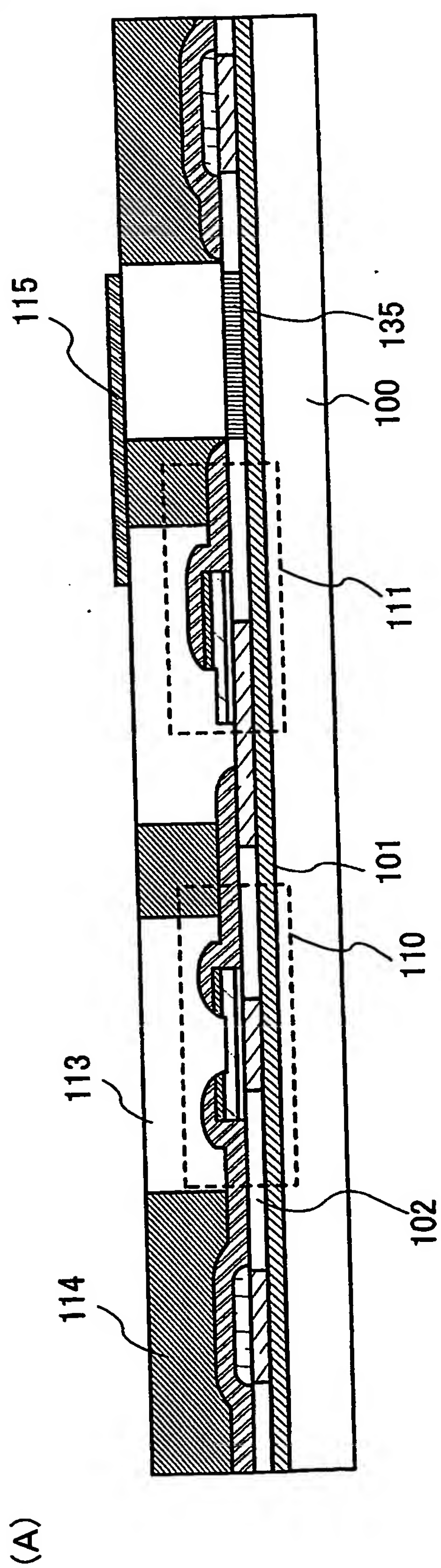


【図 12】

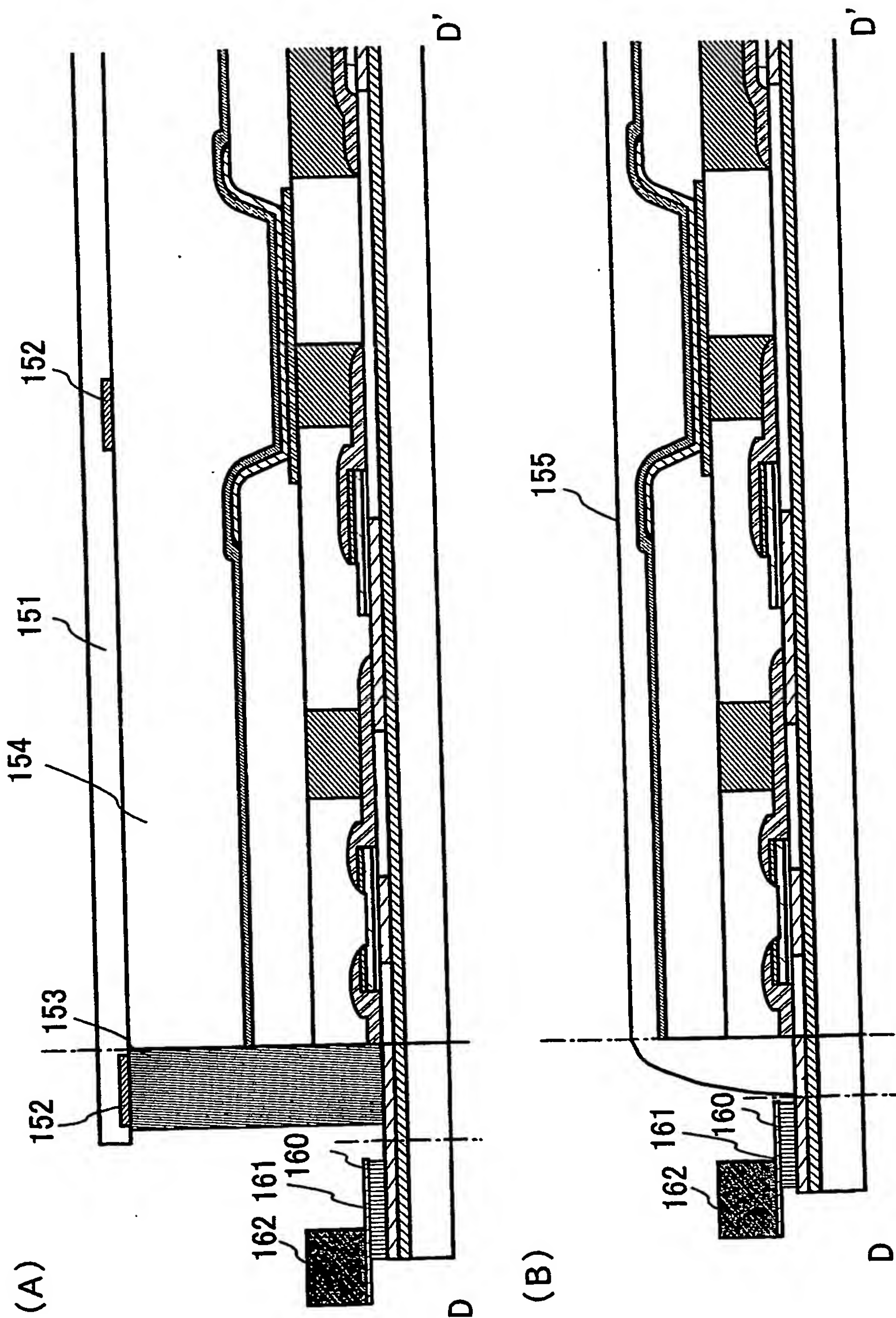




【図13】

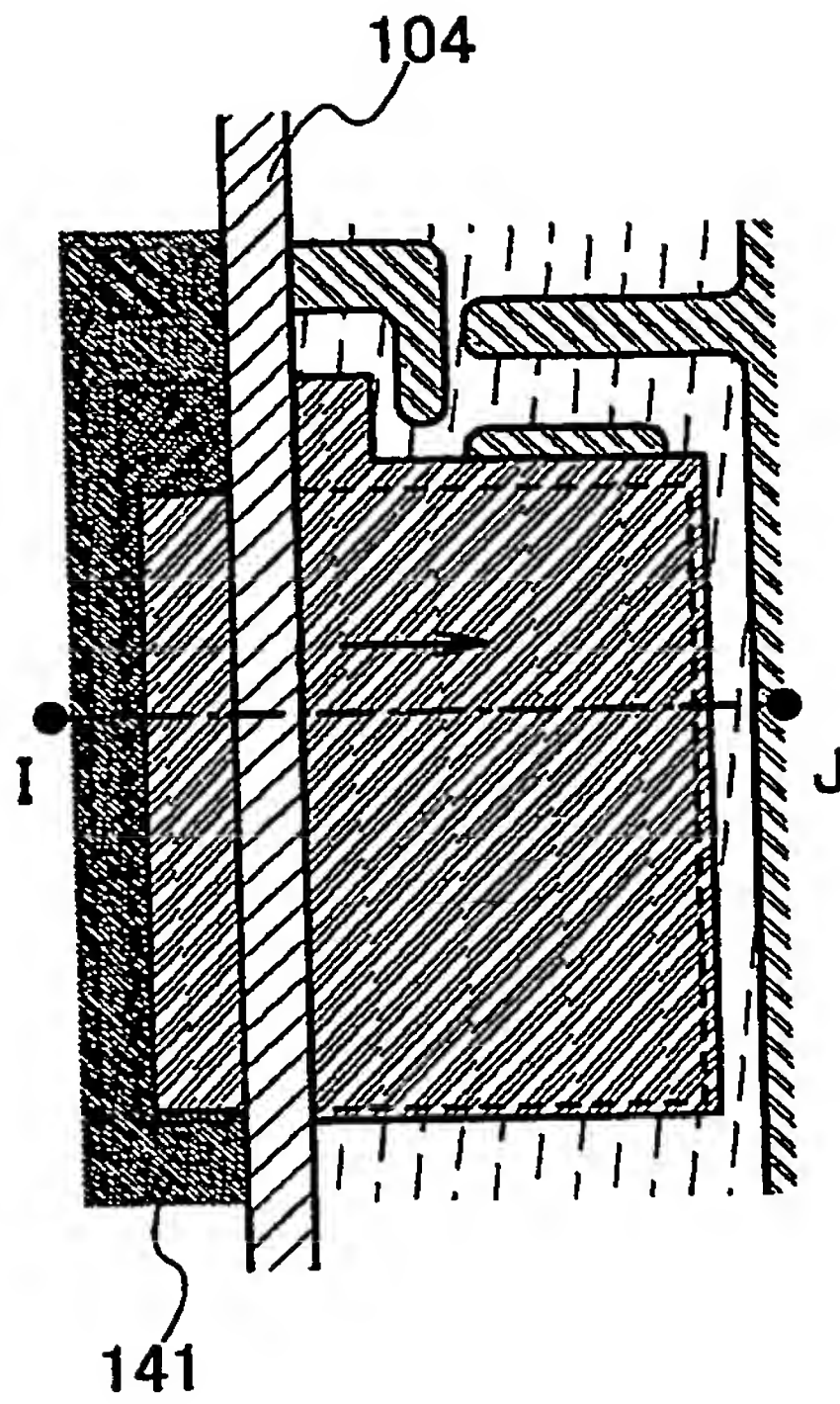


【図 14】

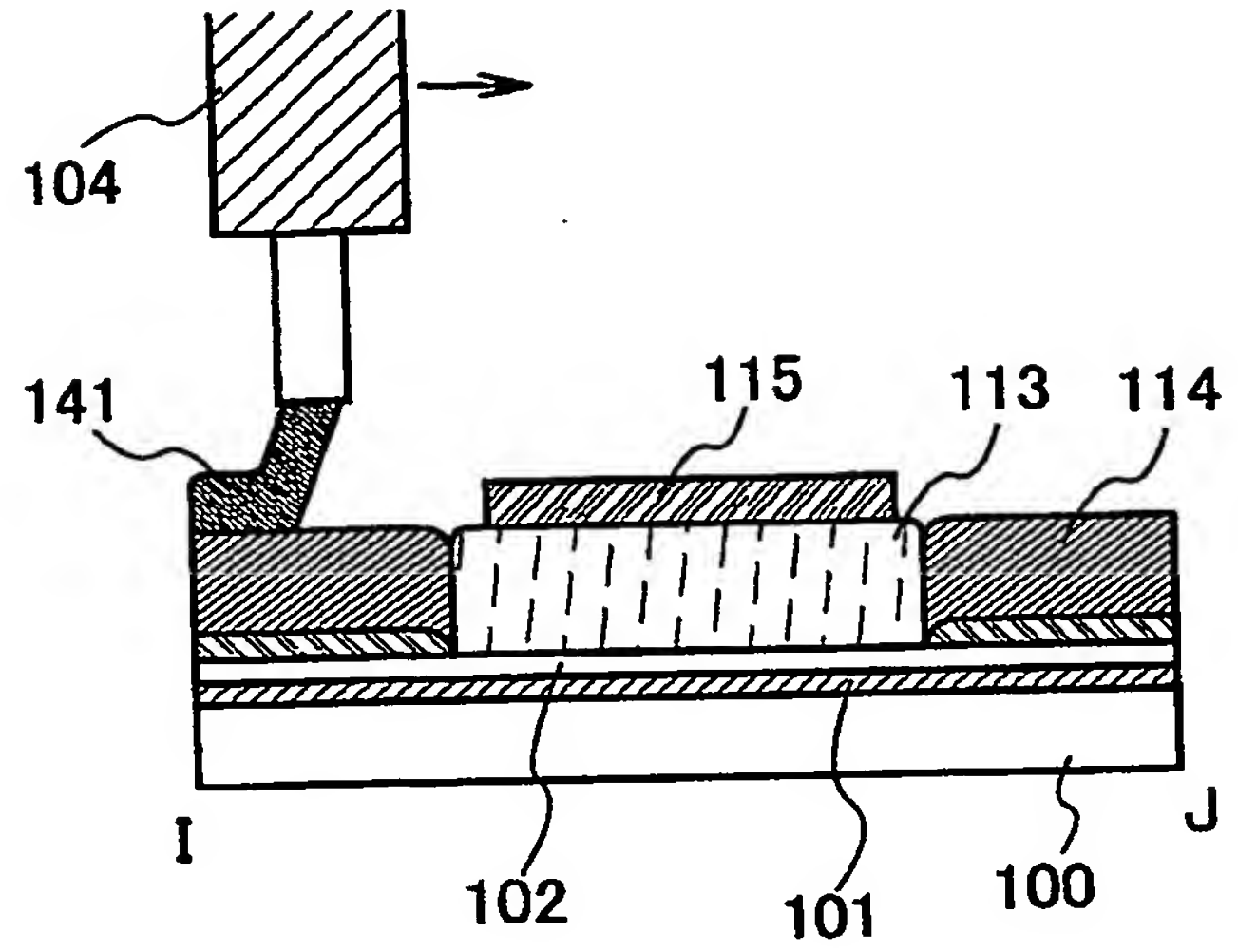


【図 15】

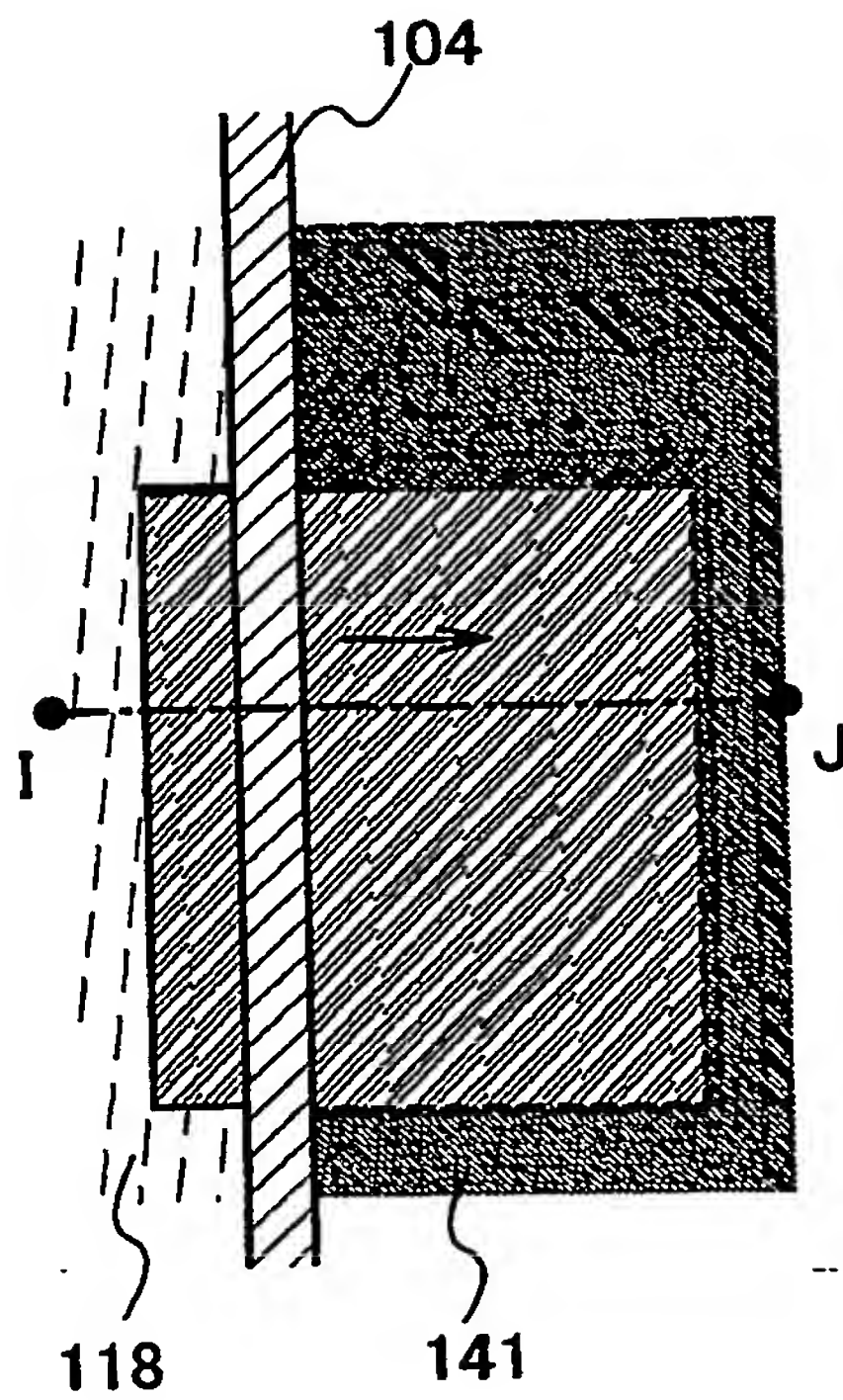
(A)



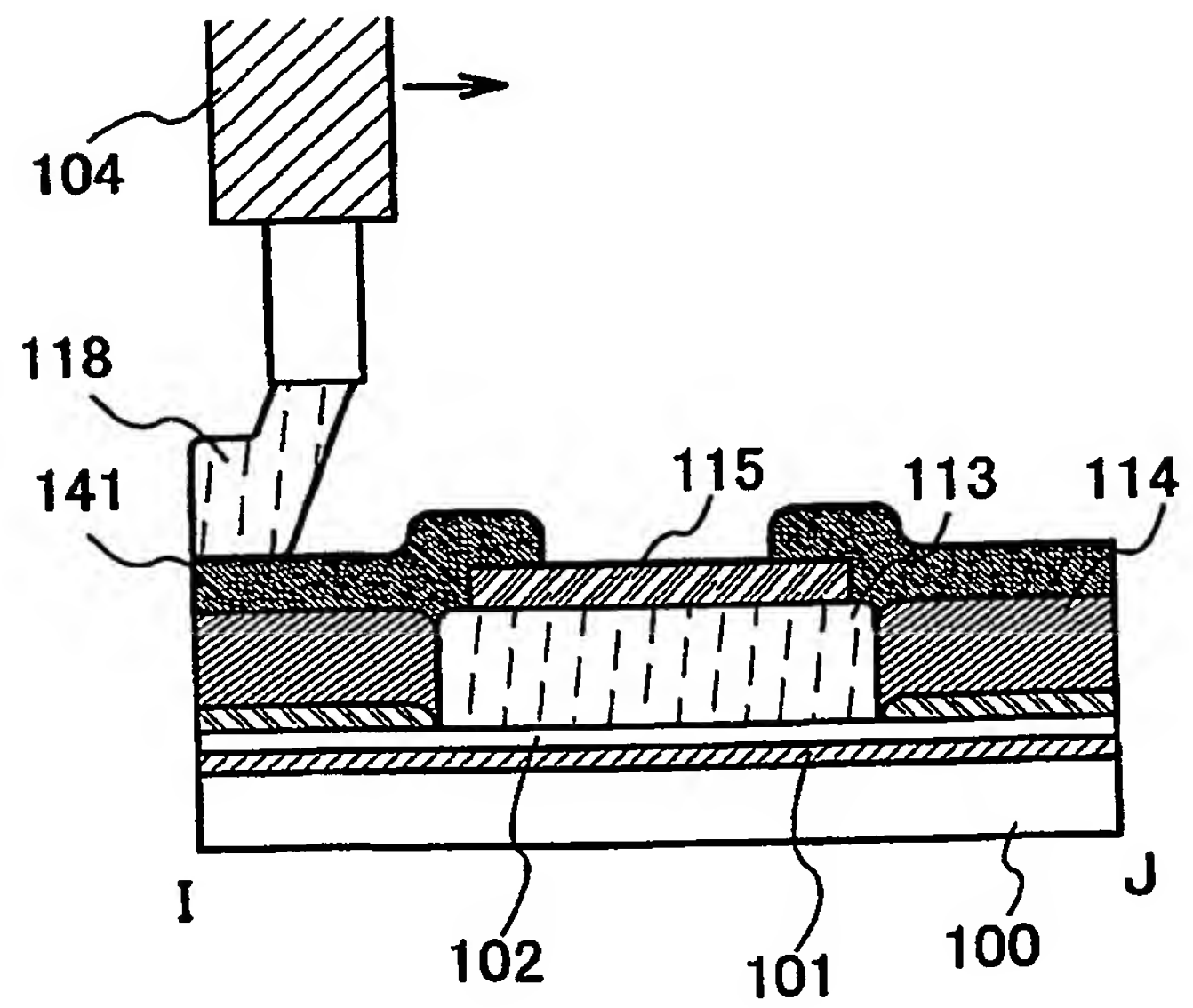
(B)



(C)

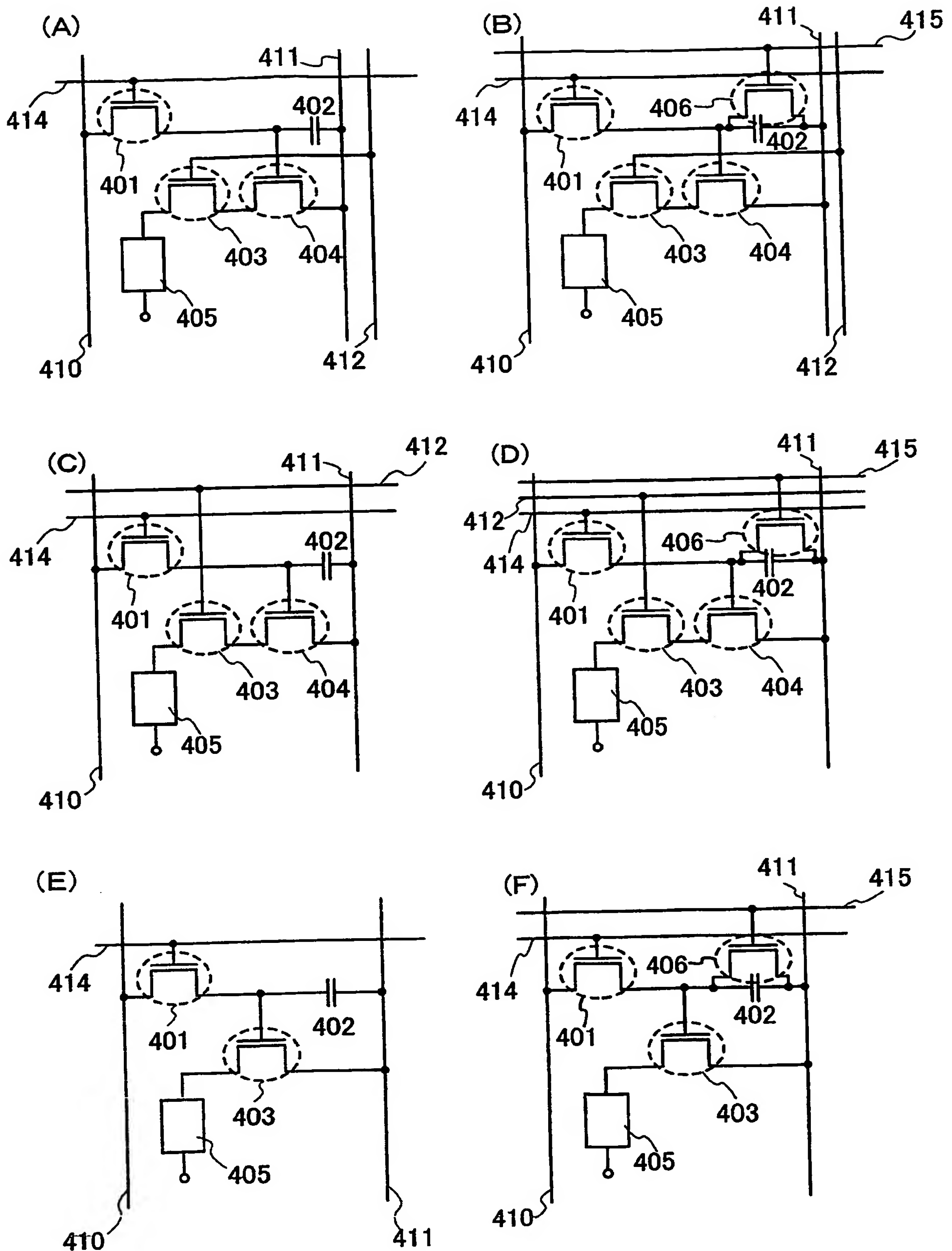


(D)

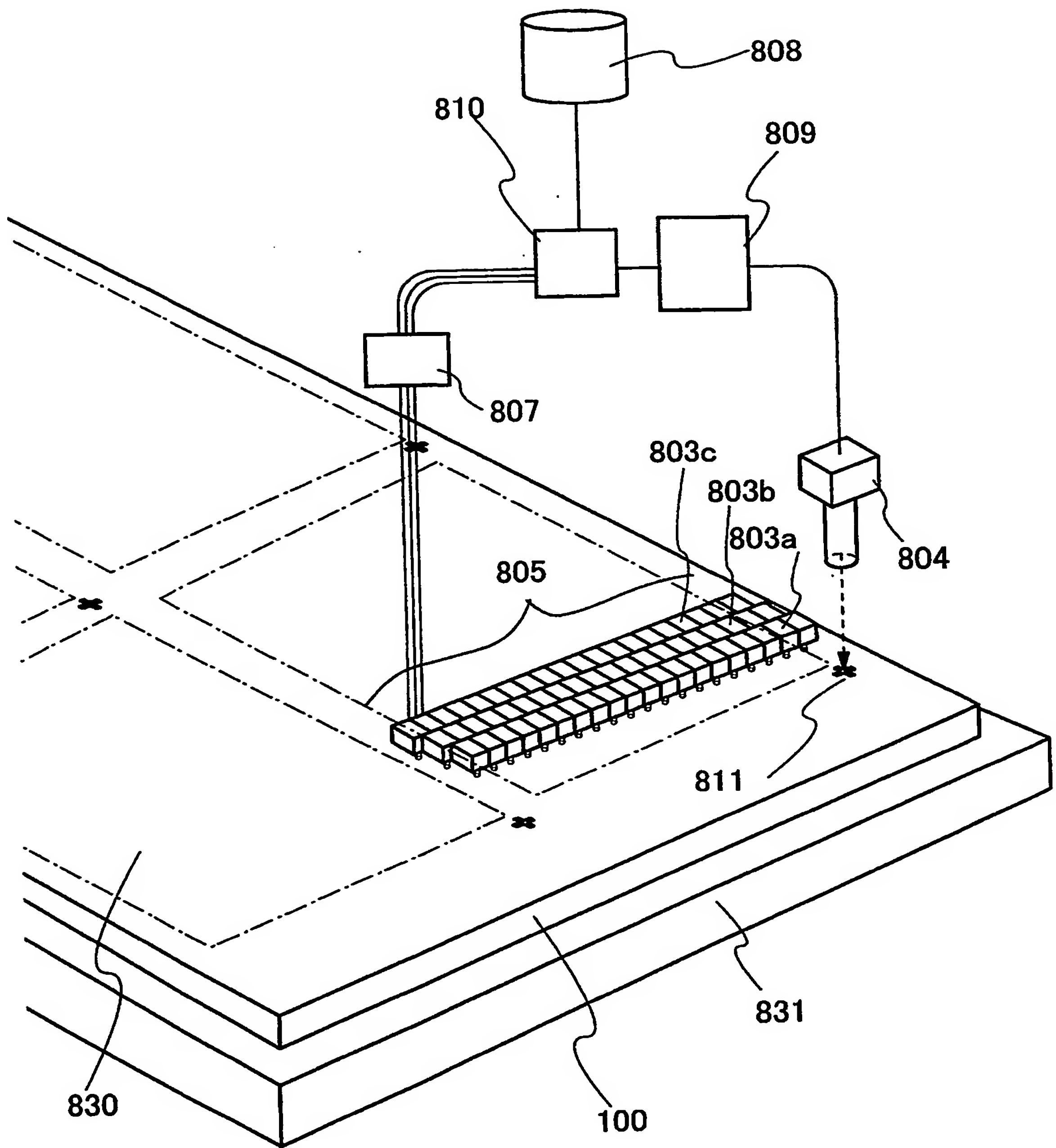




【図 16】

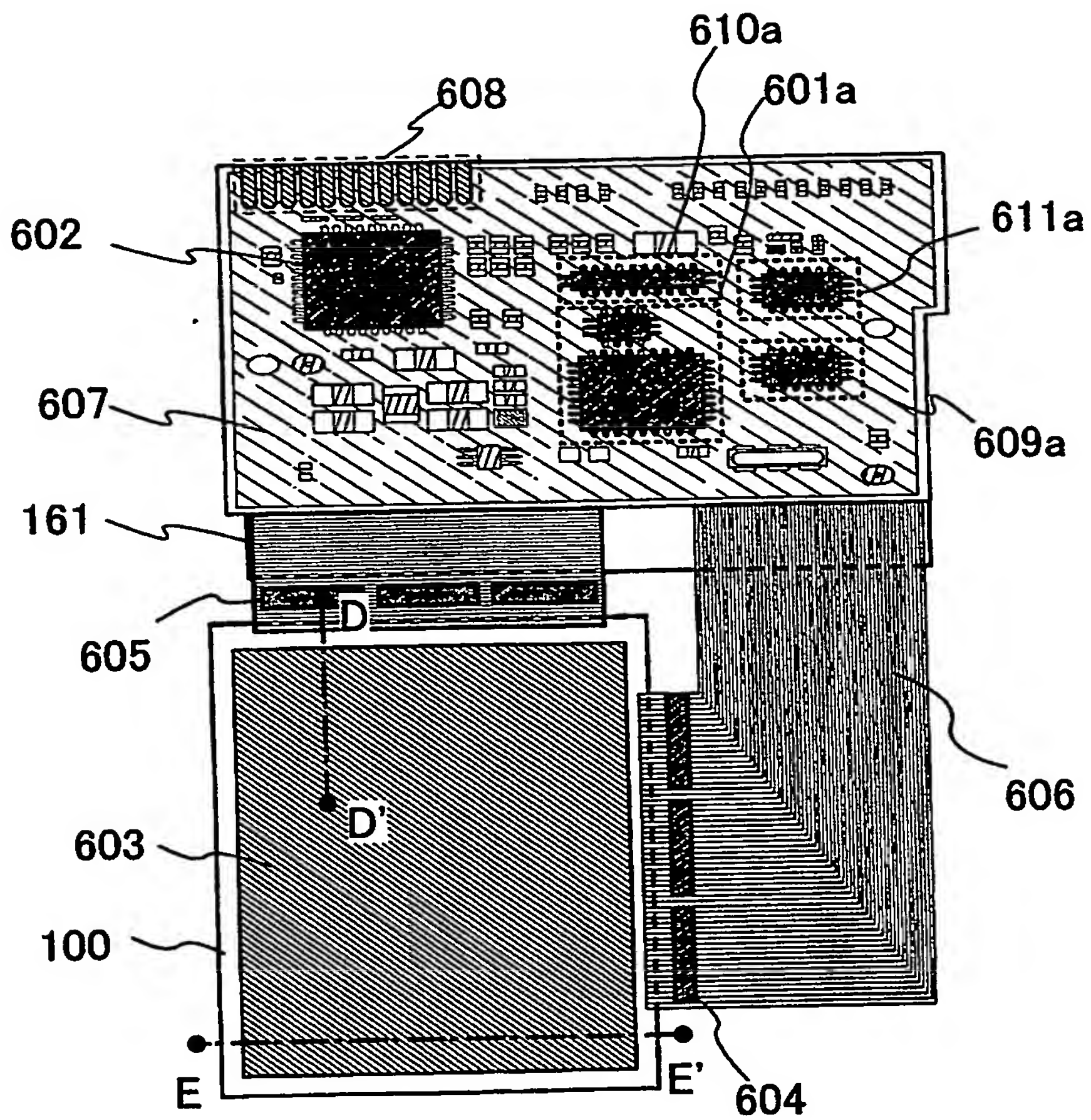


【図 17】

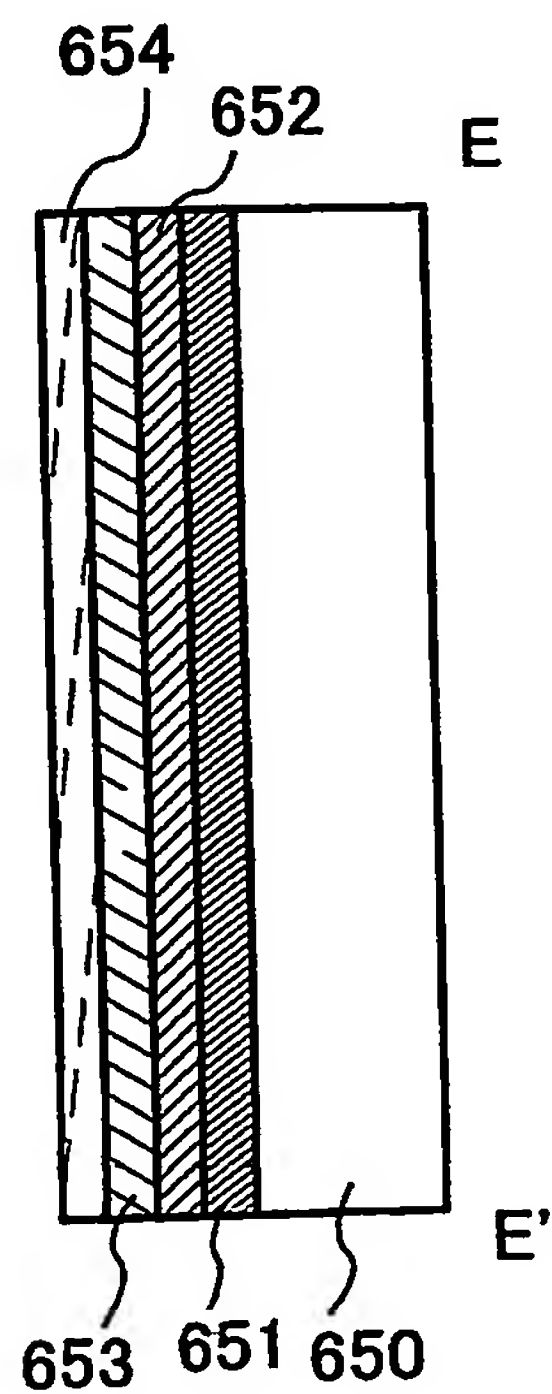


【圖 18】

(A)



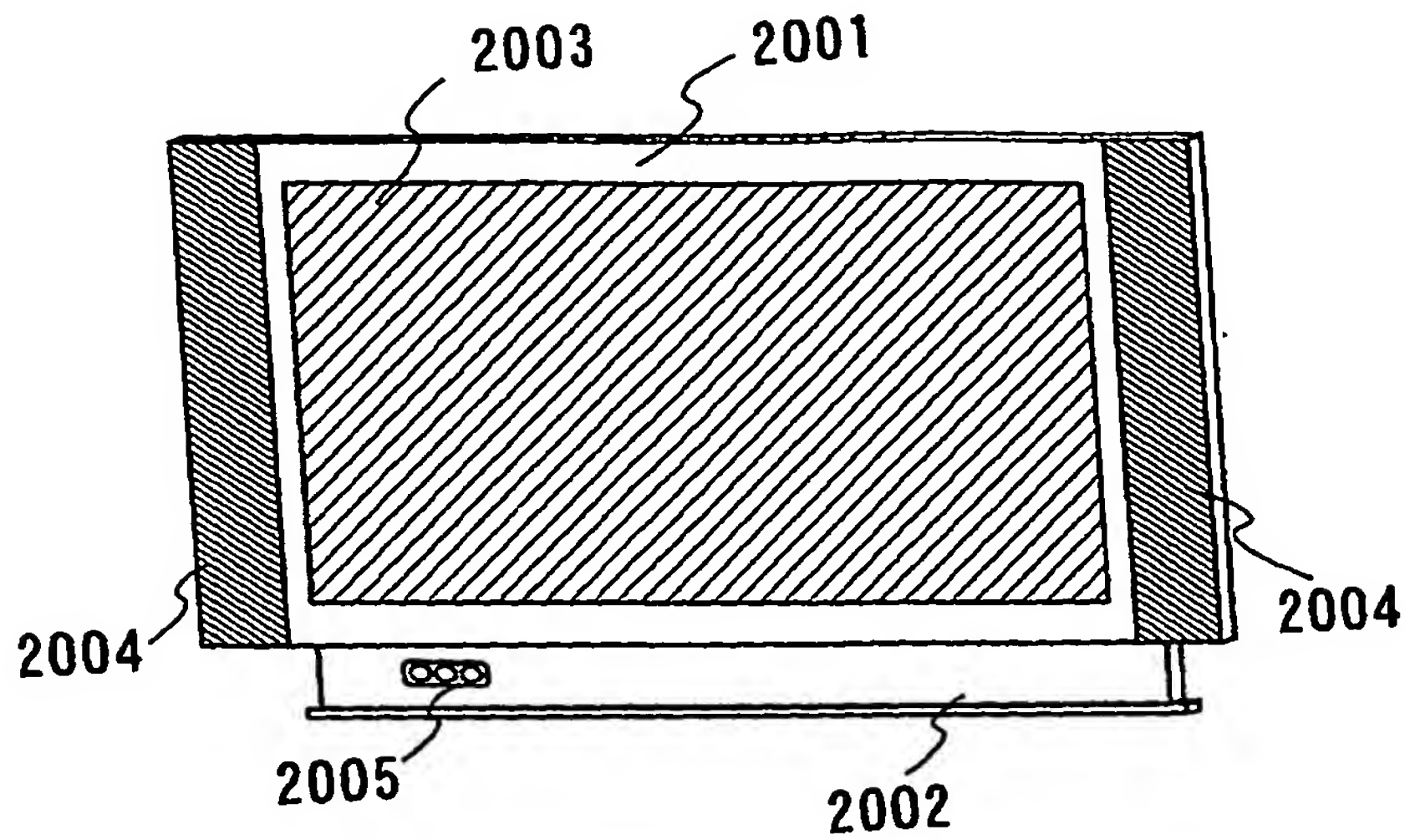
(B)



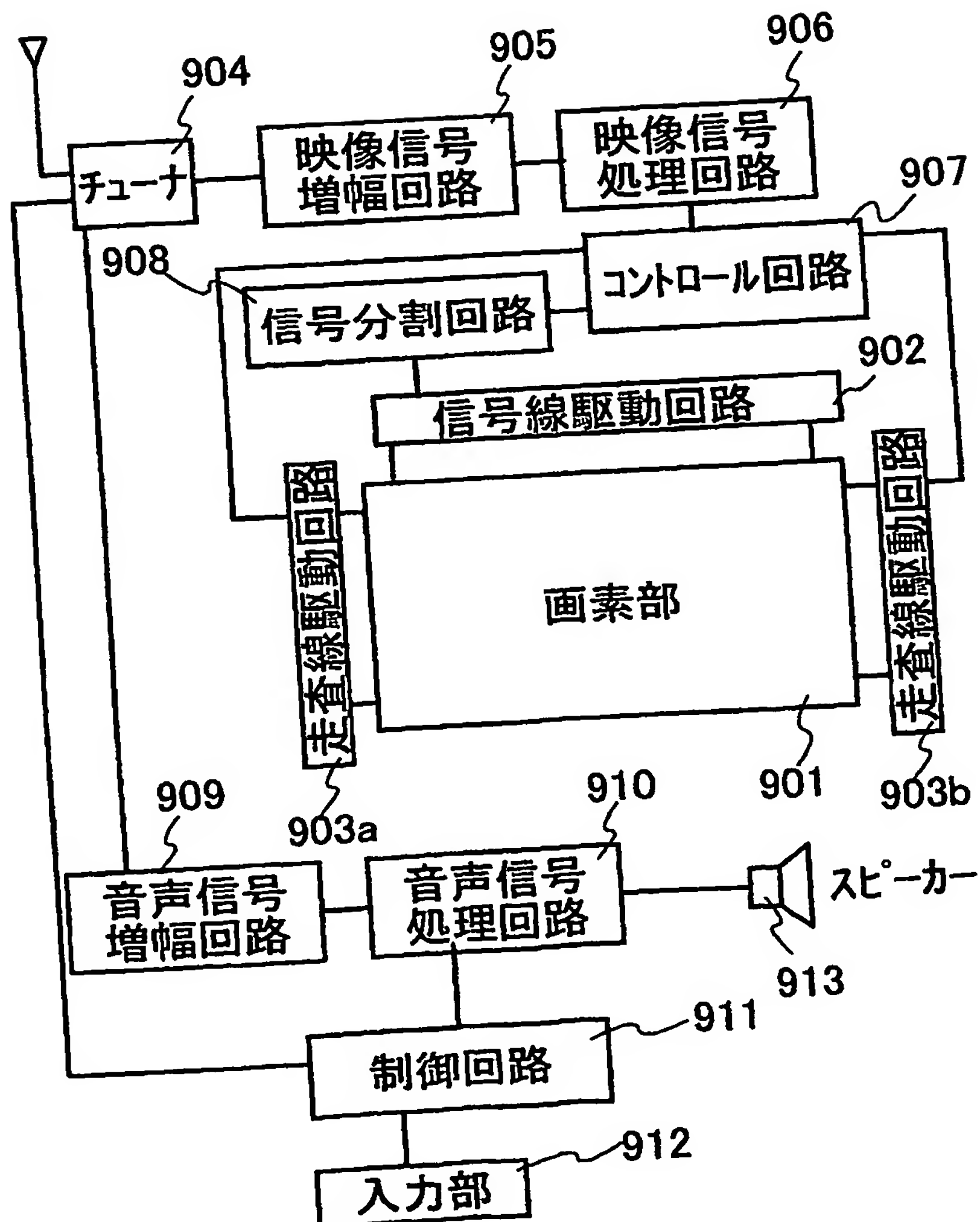


【図19】

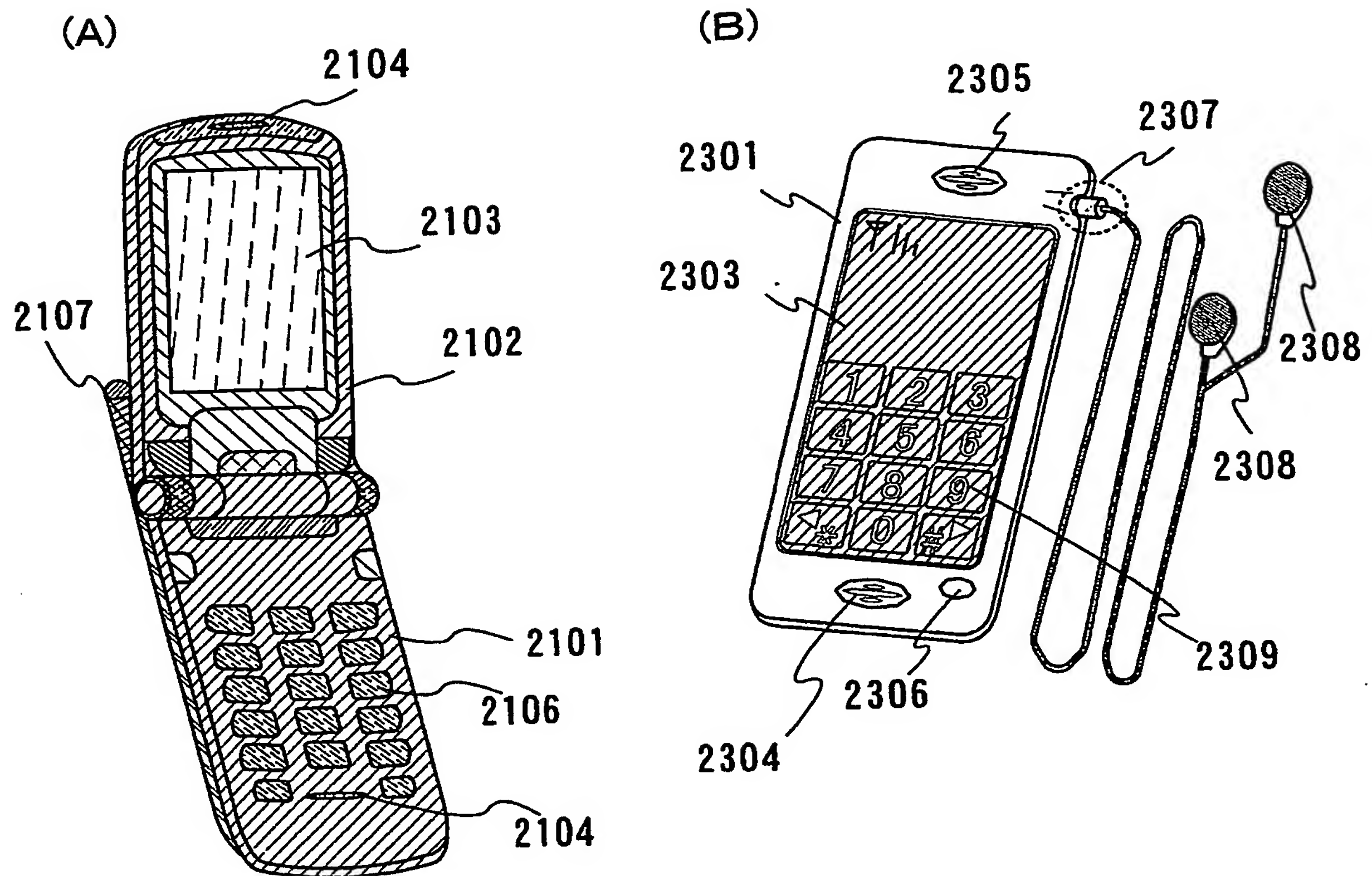
(A)



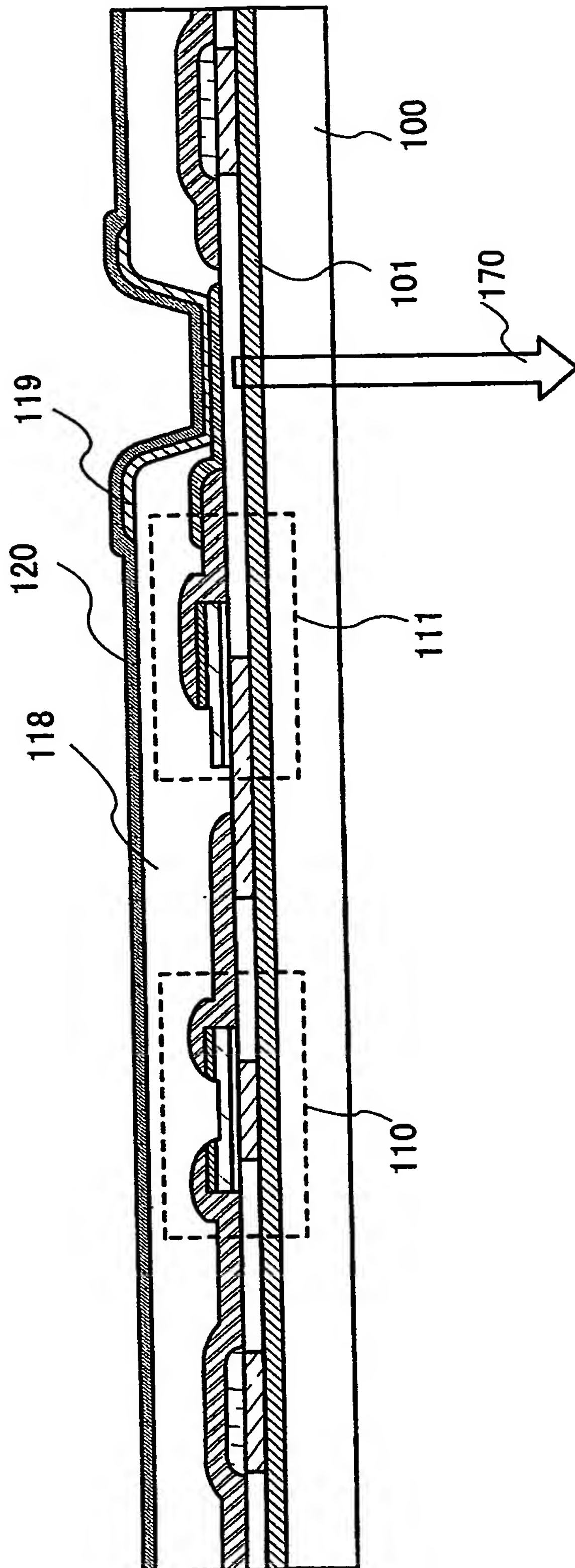
(B)



【図 20】



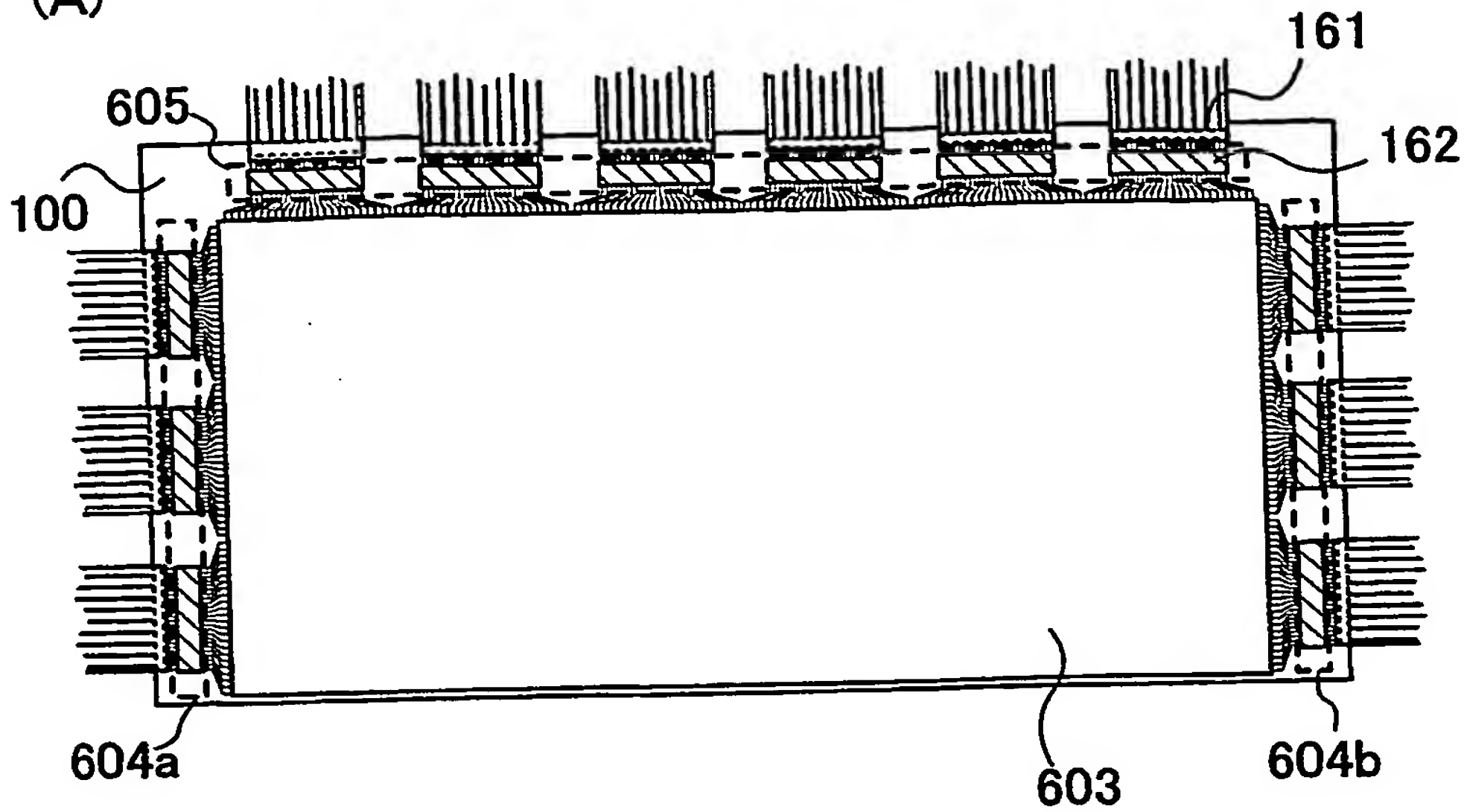
【図 21】



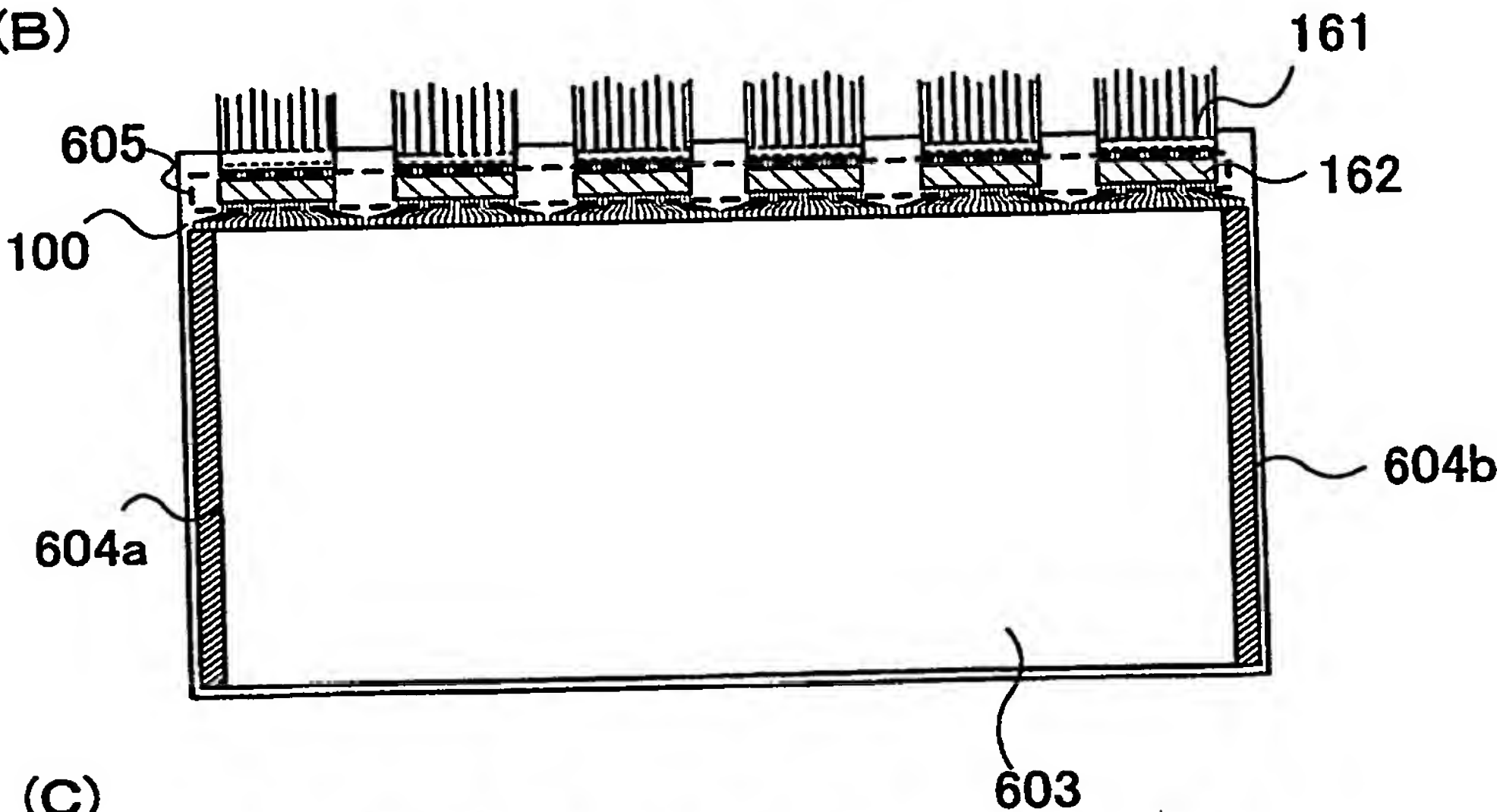


【図 22】

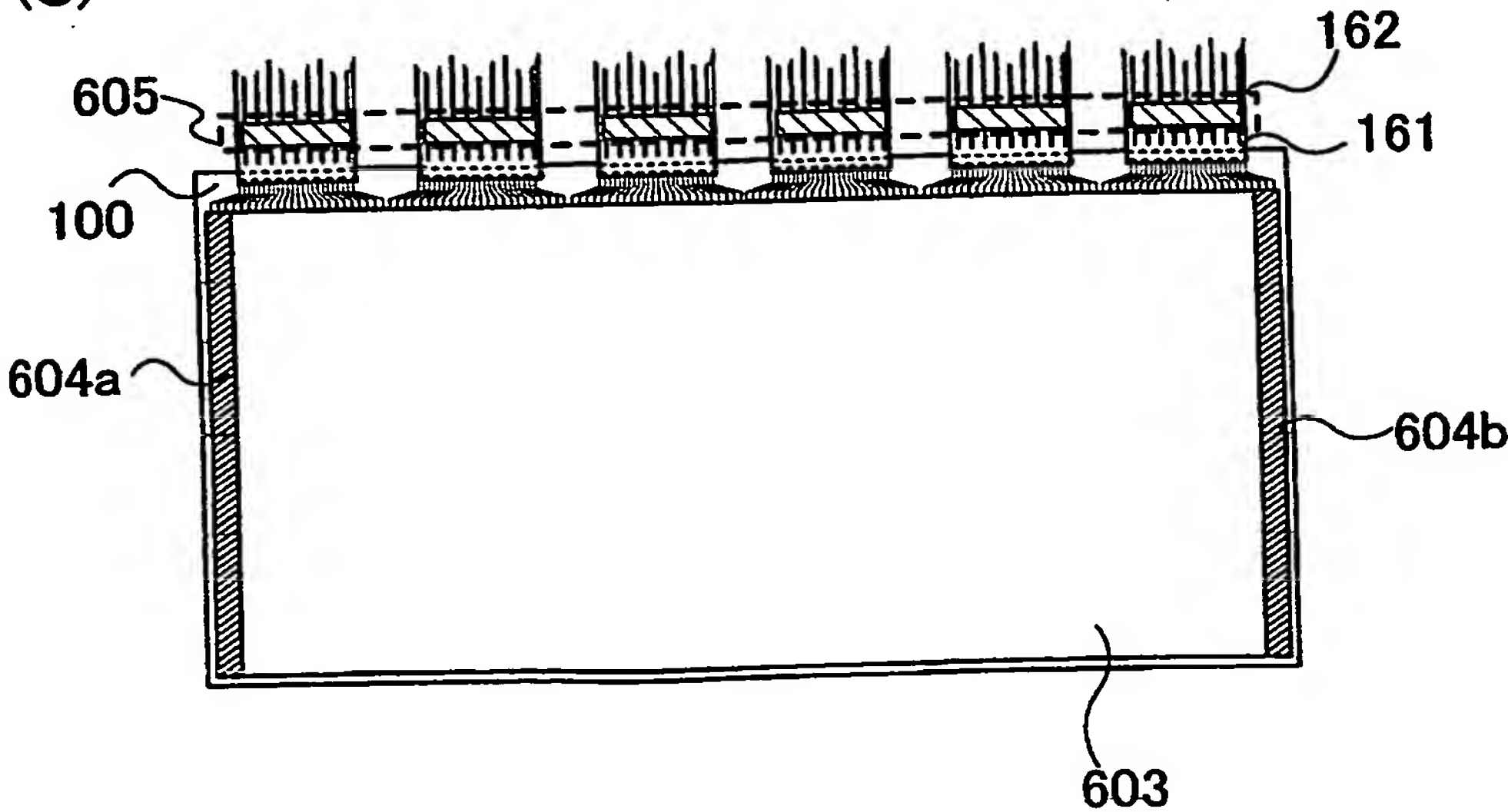
(A)



(B)



(C)



**【書類名】 要約書****【要約】**

**【課題】** 配線を厚膜化するにつれ、配線を覆う薄膜の段切れが問題となってきた。現状の高精細の表示装置に用いられている薄膜トランジスタの配線幅に不十分となる線幅を形成することが難しかった。さらに配線が微細化されるにつれて、配線抵抗による信号遅延が問題となってきた。

**【解決手段】** 上記課題を鑑み、本発明は選択的にパターンを形成可能な方法により、導電膜を絶縁膜に形成された開口部、つまり凹部と凸部の間に形成し、導電膜と絶縁膜の表面が平坦性を有することを特徴とする。その結果、導電膜及び絶縁膜を覆って形成する薄膜の段切れを防止することができる。また、開口部の幅を制御することにより、配線の微細化を達成することができる。さらに、開口部の深さを制御することにより、配線の厚膜化を達成することができる。

特願 2 0 0 3 - 4 0 3 6 6 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所



# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018105

International filing date: 30 November 2004 (30.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2003-403666  
Filing date: 02 December 2003 (02.12.2003)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse